

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi KURAFUJI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: BANK CONTROL CIRCUIT, CACHE MEMORY DEVICE AND CACHE MEMORY DEVICE  
DESIGNING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-050555	February 27, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月27日

出願番号

Application Number:

特願2003-050555

[ ST.10/C ]:

[ JP 2003-050555 ]

出願人

Applicant(s):

三菱電機株式会社

2003年 3月24日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3019442

【書類名】 特許願

【整理番号】 542373JP01

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 倉藤 崇

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 バンク制御回路及びキャッシュメモリ装置、並びにキャッシュメモリ装置の設計方法及びマイクロプロセッサの設計方法

【特許請求の範囲】

【請求項 1】 キャッシュ容量を示す信号が入力され、メインメモリのコピーデータを記憶する複数のキャッシュメモリと接続可能なバンク制御回路であって、

前記信号に基づいて、接続されたキャッシュメモリから少なくとも一つのキャッシュメモリを選択し、選択した前記少なくとも一つのキャッシュメモリへの外部からのアクセスを許可する、バンク制御回路。

【請求項 2】 請求項 1 に記載のバンク制御回路と、  
前記バンク制御回路に接続された少なくとも一つのキャッシュメモリとを備え、

前記バンク制御回路は、1 回のアクセスで 1 つのキャッシュメモリのみにアクセスされるように、選択したキャッシュメモリへの外部からのアクセスを制御する、キャッシュメモリ装置。

【請求項 3】 前記信号に基づいて、前記バンク制御回路に接続されたキャッシュメモリへの電源供給を制御する電源制御回路を更に有し、

前記電源制御回路は、前記バンク制御回路に接続されたキャッシュメモリのうち、前記バンク制御回路が選択したキャッシュメモリのみに電源を供給する、請求項 2 に記載のキャッシュメモリ装置。

【請求項 4】 前記キャッシュメモリ装置には、前記メインメモリのアドレスを示し、タグ及びインデックスを含むキャッシュアドレスが入力され、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置は固定であって、

前記バンク制御回路に接続されたキャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、

前記バンク制御回路が選択したキャッシュメモリへの外部からのアクセスの際

に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のインデックスと、そのインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを連結して、コピーバックアドレスを生成し出力するキャッシュ周辺回路を更に備え、

前記メインメモリに対する書き込み方式には、前記コピーバックアドレスが用いられるコピーバック方式が採用される、請求項 2 及び請求項 3 のいずれか一つに記載のキャッシュメモリ装置。

【請求項 5】 前記キャッシュメモリ装置には、前記メインメモリのアドレスを示し、タグ及びインデックスを含むキャッシュアドレスが入力され、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置は固定であって、

前記バンク制御回路に接続されたキャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、

前記バンク制御回路が選択したキャッシュメモリへの外部からのアクセスの際に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のタグと、その際の前記キャッシュアドレス中のインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを比較し、両者の一致／不一致を検出する比較器を更に備える、請求項 2 及び請求項 3 のいずれか一つに記載のキャッシュメモリ装置。

【請求項 6】 前記バンク制御回路には複数のキャッシュメモリが接続され、

前記キャッシュメモリ装置には、前記メインメモリのアドレスを示し、タグを含むキャッシュアドレスが入力され、

前記キャッシュアドレスにおいて、タグが占めるビット位置は固定であって、

前記バンク制御回路は、前記複数のキャッシュメモリの全てを選択し、

前記複数のキャッシュメモリのそれぞれは、前記キャッシュアドレス中のタグを記憶するタグメモリを有し、

前記タグメモリは、前記タグの一部に相当する、前記複数のキャッシュメモリ

のそれぞれに固有の固定データを記憶している、請求項 2 及び請求項 3 のいずれか一つに記載のキャッシュメモリ装置。

【請求項 7】 前記バンク制御回路には複数のキャッシュメモリが接続され、

前記複数のキャッシュメモリのメモリ容量は互いに同じである、請求項 2 乃至請求項 5 のいずれか一つに記載のキャッシュメモリ装置。

【請求項 8】 メインメモリのコピーデータを記憶するキャッシュメモリと

複数の第 1 の所定数の前記キャッシュメモリと接続可能であって、接続された前記キャッシュメモリへの外部からのアクセスを許可することが可能なバンク制御回路と

を備えるキャッシュメモリ装置の設計方法であって、

(a) 前記バンク制御回路を設計する工程と、

(b) 前記工程 (a) で設計された前記バンク制御回路を備える第 1 の前記キャッシュメモリ装置を設計する工程と、

(c) 前記工程 (a) で設計された前記バンク制御回路を備える第 2 の前記キャッシュメモリ装置を設計する工程と

を備え、

前記工程 (b) は、

(b-1) 前記第 1 の所定数以下の第 2 の所定数の前記キャッシュメモリを設計する工程を含み、

前記工程 (c) は、

(c-1) 前記第 1 の所定数以下であって前記第 2 の所定数とは異なる第 3 の所定数の前記キャッシュメモリを設計する工程を含む、キャッシュメモリ装置の設計方法。

【請求項 9】 キャッシュ周辺回路を更に備え、前記メインメモリのアドレスを示しつつ、タグ及びインデックスを含むキャッシュアドレスが入力される前記キャッシュメモリ装置の設計方法であって、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置

は固定であって、

前記キャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、

前記キャッシュ周辺回路は、

前記接続された前記キャッシュメモリへの外部からのアクセスの際に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のインデックスと、そのインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを連結して、コピーバックアドレスを生成して出力し、

前記メインメモリに対する書き込み方式には、前記コピーバックアドレスが用いられるコピーバック方式が採用され、

前記工程（a）において前記キャッシュ周辺回路を更に設計し、

前記工程（b）、（c）において、前記工程（a）で設計された前記キャッシュ周辺回路を更に備える前記第1、2の前記キャッシュメモリ装置をそれぞれ設計する、請求項8に記載のキャッシュメモリ装置の設計方法。

【請求項10】 比較器を更に備え、前記メインメモリのアドレスを示しつつ、タグ及びインデックスを含むキャッシュアドレスが入力される前記キャッシュメモリ装置の設計方法であって、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置は固定であって、

前記キャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、

前記比較器は、

前記接続された前記キャッシュメモリへの外部からのアクセスの際に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のタグと、その際の前記キャッシュアドレス中のインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを比較し、両者の一致／不一致を検出し、

前記工程（a）において前記比較器を更に設計し、

前記工程（b），（c）において、前記工程（a）で設計された前記比較器を更に備える前記第1，2の前記キャッシュメモリ装置をそれぞれ設計する、請求項8に記載のキャッシュメモリ装置の設計方法。

【請求項11】 メインメモリのコピーデータを記憶するキャッシュメモリと、

複数の前記キャッシュメモリと接続可能であって、接続された前記キャッシュメモリへの外部からのアクセスを許可することが可能なバンク制御回路とを備えるキャッシュメモリ装置の設計方法であって、

前記バンク制御回路は、1回のアクセスで1つの前記キャッシュメモリのみにアクセスされるように、前記接続された前記キャッシュメモリへの外部からのアクセスを制御し、

（a）第1の前記キャッシュメモリ装置を設計する工程と、

（b）前記工程（a）の後に、第2の前記キャッシュメモリ装置を設計する工程とを備え、

前記工程（a）は、

（a-1）第1の所定数の前記キャッシュメモリと接続可能な前記バンク制御回路を設計する工程を含み、

前記工程（b）は、

（b-1）第2の所定数の前記キャッシュメモリを設計する工程と、

（b-2）前記第2の所定数が前記第1の所定数よりも大きい場合に、前記第2の所定数の前記キャッシュメモリが接続可能になるように、前記工程（a-1）で設計した前記バンク制御回路を設計変更する工程とを含む、キャッシュメモリ装置の設計方法。

【請求項12】 （c）前記工程（b）の前に、前記バンク制御回路が接続可能な前記キャッシュメモリの総数に対応したメモリ容量をパラメータとして、前記バンク制御回路に関する設計データをハードウェア記述言語を用いて予め記述しておく工程を更に備え、

前記工程（b-2）において、前記第2の所定数に対応したメモリ容量を前記

パラメータに代入して、前記工程（a-1）で設計した前記バンク制御回路を設計変更する、請求項 1 1 に記載のキャッシュメモリ装置の設計方法。

【請求項 1 3】 キャッシュ周辺回路を更に備え、前記メインメモリのアドレスを示しつつ、タグ及びインデックスを含むキャッシュアドレスが入力される前記キャッシュメモリ装置の設計方法であって、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置は固定であって、

前記キャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、

前記キャッシュ周辺回路は、

前記接続された前記キャッシュメモリへの外部からのアクセスの際に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のインデックスと、そのインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを連結して、コピーバックアドレスを生成して出力し、

前記メインメモリに対する書き込み方式には、前記コピーバックアドレスが用いられるコピーバック方式が採用され、

前記工程（a）は、

（a-2）前記キャッシュ周辺回路を設計する工程を更に含み、

前記工程（b）において、前記工程（a-2）で設計された前記キャッシュ周辺回路を更に備える前記第 2 の前記キャッシュメモリ装置を設計する、請求項 1 1 及び請求項 1 2 のいずれか一つに記載のキャッシュメモリ装置の設計方法。

【請求項 1 4】 比較器を更に備え、前記メインメモリのアドレスを示しつつ、タグ及びインデックスを含むキャッシュアドレスが入力される前記キャッシュメモリ装置の設計方法であって、

前記キャッシュアドレスにおいて、タグ及びインデックスが占めるビット位置は固定であって、

前記キャッシュメモリは、前記キャッシュアドレス中のインデックスをアドレスとするタグメモリを有し、

前記タグメモリは前記キャッシュアドレス中のタグを記憶し、  
前記比較器は、

前記接続された前記キャッシュメモリへの外部からのアクセスの際に、前記キャッシュメモリ装置に入力される前記キャッシュアドレス中のタグと、その際の前記キャッシュアドレス中のインデックスが示すアドレスに記憶されている前記タグメモリ内のデータとを比較し、両者の一致／不一致を検出し、

前記工程（a）は、

（a-2）前記比較器を設計する工程を更に含み、

前記工程（b）において、前記工程（a-2）で設計された前記比較器を更に備える前記第2の前記キャッシュメモリ装置を設計する、請求項11及び請求項12のいずれか一つに記載のキャッシュメモリ装置の設計方法。

【請求項15】 メインメモリのコピーデータを記憶するキャッシュメモリと、

複数の前記キャッシュメモリと接続可能であって、キャッシュ容量を示す信号が入力されるバンク制御回路と、

前記バンク制御回路に接続された前記キャッシュメモリに、前記バンク制御回路を介してアクセスする制御回路と

を備えるマイクロプロセッサの設計方法であって、

前記バンク制御回路は、前記信号に基づいて、前記接続された前記キャッシュメモリから少なくとも一つを選択し、選択した少なくとも一つの前記キャッシュメモリへの前記制御回路からのアクセスを許可することが可能であって、

（a）一つの前記キャッシュメモリ、前記バンク制御回路及び前記制御回路の配置の設計を行う工程と、

（b）前記工程（a）で設計された前記配置において、前記一つの前記キャッシュメモリと前記制御回路とを直接接続する第1の配線パターンを設計する工程と、

（c）前記工程（a）で設計された前記配置において、前記一つの前記キャッシュメモリと前記制御回路とを前記バンク制御回路を介して接続する第2の配線パターンを設計する工程と

を備える、マイクロプロセッサの設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、アクセス時間の短縮化を図るために設けられるキャッシュメモリ装置に関する。

【0002】

【従来の技術】

多くのマイクロプロセッサは、データへのアクセスの高速化のために、メインメモリよりも高速アクセス可能なキャッシュメモリ装置を内蔵している。一般的に、キャッシュメモリ装置は、メインメモリのコピーデータを記憶するキャッシュメモリと、そのコピーデータをキャッシュが記憶しているかどうかの判定などを実行する周辺回路とを備えている。

【0003】

キャッシュメモリ装置には、メインメモリのアドレスを示すキャッシュアドレスが入力され、そのキャッシュアドレスに含まれるタグあるいはインデックスを用いて、キャッシュメモリ装置の周辺回路は動作する。また、キャッシュメモリ装置のキャッシュメモリは、キャッシュアドレス中のインデックスをアドレスとしてアクセスされる。なお、特許文献1にキャッシュメモリ装置の構成の一例が開示されている。

【0004】

【特許文献1】

特開平5-28045号公報

【0005】

【発明が解決しようとする課題】

ところで、従来のキャッシュメモリ装置においては、キャッシュメモリのメモリ容量を変更して、そのキャッシュ容量を変更する場合には、キャッシュメモリのアドレスであるインデックスのビット数を変更する必要があった。そのため、タグのビット数も変化していた。具体的には、キャッシュ容量を増加する場合に



は、インデックスのビット数を増加させる必要があり、減少する場合には、ビット数を減少させる必要がある。

【 0 0 0 6 】

従って、キャッシュ容量を変更する場合には、タグあるいはインデックスを用いて動作する周辺回路を設計変更する必要があった。

【 0 0 0 7 】

そこで、本発明は上述の問題に鑑みて成されたものであり、キャッシュ容量を変更する際に必要となる設計変更を低減することが可能な技術を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係るバンク制御回路は、キャッシュ容量を示す信号が入力され、メインメモリのコピーデータを記憶する複数のキャッシュメモリと接続可能なバンク制御回路であって、前記信号に基づいて、接続されたキャッシュメモリから少なくとも一つのキャッシュメモリを選択し、選択した前記少なくとも一つのキャッシュメモリへの外部からのアクセスを許可する。

【 0 0 0 9 】

また、この発明に係るキャッシュメモリ装置の設計方法は、メインメモリのコピーデータを記憶するキャッシュメモリと、複数の第 1 の所定数の前記キャッシュメモリと接続可能であって、接続された前記キャッシュメモリへの外部からのアクセスを許可することが可能なバンク制御回路とを備えるキャッシュメモリ装置の設計方法であって、（a）前記バンク制御回路を設計する工程と、（b）前記工程（a）で設計された前記バンク制御回路を備える第 1 の前記キャッシュメモリ装置を設計する工程と、（c）前記工程（a）で設計された前記バンク制御回路を備える第 2 の前記キャッシュメモリ装置を設計する工程とを備え、前記工程（b）は、（b-1）前記第 1 の所定数以下の第 2 の所定数の前記キャッシュメモリを設計する工程を含み、前記工程（c）は、（c-1）前記第 1 の所定数以下であって前記第 2 の所定数とは異なる第 3 の所定数の前記キャッシュメモリを設計する工程を含む。

## 【 0 0 1 0 】

また、この発明に係る他のキャッシュメモリ装置の設計方法は、メインメモリのコピーデータを記憶するキャッシュメモリと、複数の前記キャッシュメモリと接続可能であって、接続された前記キャッシュメモリへの外部からのアクセスを許可することが可能なバンク制御回路とを備えるキャッシュメモリ装置の設計方法であって、前記バンク制御回路は、1回のアクセスで1つの前記キャッシュメモリのみにアクセスされるように、前記接続された前記キャッシュメモリへの外部からのアクセスを制御し、(a)第1の前記キャッシュメモリ装置を設計する工程と、(b)前記工程(a)の後に、第2の前記キャッシュメモリ装置を設計する工程とを備え、前記工程(a)は、(a-1)第1の所定数の前記キャッシュメモリと接続可能な前記バンク制御回路を設計する工程を含み、前記工程(b)は、(b-1)第2の所定数の前記キャッシュメモリを設計する工程と、(b-2)前記第2の所定数が前記第1の所定数よりも大きい場合に、前記第2の所定数の前記キャッシュメモリが接続可能になるように、前記工程(a-1)で設計した前記バンク制御回路を設計変更する工程とを含む。

## 【 0 0 1 1 】

また、この発明に係るマイクロプロセッサの設計方法は、メインメモリのコピーデータを記憶するキャッシュメモリと、複数の前記キャッシュメモリと接続可能であって、キャッシュ容量を示す信号が入力されるバンク制御回路と、前記バンク制御回路に接続された前記キャッシュメモリに、前記バンク制御回路を介してアクセスする制御回路とを備えるマイクロプロセッサの設計方法であって、前記バンク制御回路は、前記信号に基づいて、前記接続された前記キャッシュメモリから少なくとも一つを選択し、選択した少なくとも一つの前記キャッシュメモリへの前記制御回路からのアクセスを許可することが可能であって、(a)一つの前記キャッシュメモリ、前記バンク制御回路及び前記制御回路の配置の設計を行う工程と、(b)前記工程(a)で設計された前記配置において、前記一つの前記キャッシュメモリと前記制御回路とを直接接続する第1の配線パターンを設計する工程と、(c)前記工程(a)で設計された前記配置において、前記一つの前記キャッシュメモリと前記制御回路とを前記バンク制御回路を介して接続す

る第 2 の配線パターンを設計する工程とを備える。

【 0 0 1 2 】

【発明の実施の形態】

実施の形態 1 .

図 1 は本発明の実施の形態 1 に係るマイクロプロセッサ 1 の構成を示すブロック図である。図 1 に示されるように、本実施の形態 1 に係るマイクロプロセッサ 1 は、プログラムに従い命令を実行する CPU 2 と、キャッシュメモリ装置 1 0 と、バス制御回路 3 とを備えている。

【 0 0 1 3 】

CPU 2 は、バス制御回路 3 を介して、キャッシュメモリ装置 1 0 と、マイクロプロセッサ 1 の外部に設けられるメインメモリ 4 へアクセスする。そして、バス制御回路 3 は、CPU の命令に従って、キャッシュメモリ装置 1 0 及びメインメモリ 4 へのアクセスを実際に実行する。

【 0 0 1 4 】

CPU 2 とバス制御回路 3 とは CPU バスで接続されており、この CPU バスを介して信号の受け渡しを行う。また、バス制御回路 3 と外部のメインメモリ 4 とは外部バスで接続されており、この外部バスを介して信号の受け渡しを行う。

【 0 0 1 5 】

キャッシュメモリ装置 1 0 は、メインメモリ 4 のコピーデータを記憶する複数のキャッシュメモリ 6 と、キャッシュ周辺回路 5 と、キャッシュメモリ 6 へのバス制御回路 3 からのアクセスを制御するバンク制御回路 7 とを備えている。

【 0 0 1 6 】

本実施の形態 1 に係るキャッシュメモリ装置 1 0 では、例えば 8 つのキャッシュメモリ 6 が設けられており、各キャッシュメモリ 6 は、メインメモリ 4 のコピーデータを記憶するための 2 K バイトのメモリ容量を有している。つまり、キャッシュメモリ装置 1 0 は、キャッシュ容量として使用可能な 1 6 K バイトのメモリ容量を有している。以後、8 つのキャッシュメモリ 6 のそれぞれを、バンク 0 のキャッシュメモリ 6、バンク 1 のキャッシュメモリ 6、・・・バンク 7 のキャッシュメモリ 6 と呼ぶ。

## 【 0 0 1 7 】

バンク制御回路 7 は、複数のキャッシュメモリ 6 と接続可能であって、マイクロプロセッサ 1 の外部から入力される信号 C S I Z E に基づいて、接続されたキャッシュメモリ 6 から少なくとも一つのキャッシュメモリ 6 を選択する。そして、選択したキャッシュメモリ 6 へのバス制御回路 3 からのアクセスを許可する。これによって、バンク制御回路 7 が選択したキャッシュメモリ 6 の容量の総和が、キャッシュメモリ装置 1 0 のキャッシュ容量となる。例えば、バンク制御回路 7 がバンク 0 のキャッシュメモリ 6 のみを選択した場合には、キャッシュメモリ装置 1 0 のキャッシュ容量は 2 K バイトとなり、バンク 0 とバンク 1 のキャッシュメモリ 6 を選択した場合には 4 K バイトとなる。

## 【 0 0 1 8 】

本実施の形態 1 に係るバンク制御回路 7 は、例えば 8 つのキャッシュメモリ 6 と接続可能である。つまり、バンク制御回路 7 には、それが接続可能なキャッシュメモリ 6 の総数と同じ数のキャッシュメモリ 6 が接続されている。

## 【 0 0 1 9 】

本実施の形態 1 に係るキャッシュメモリ装置 1 0 においては、データ置換に L R U (Lea-st Recently Used) 方式が採用されており、構成にはブロック長が 4 バイトの 2 ウェイ・セット・アソシアティブ (2-way set associative) 方式が採用されている。また、メインメモリ 4 に対する書き込み方式には、コピーバック方式が採用されている。

## 【 0 0 2 0 】

次に、マイクロプロセッサ 1 が有する構成要素間の接続関係について詳細に説明する。図 2 はバス制御回路 3 とキャッシュ周辺回路 5 との接続関係を、図 3 はバンク制御回路 7 とキャッシュメモリ 6 との接続関係を示している。

## 【 0 0 2 1 】

図 2 に示されるように、バス制御回路 3 は C P U 2 の要求によって、キャッシュメモリ 6 にアクセスするために必要なキャッシュメモリ制御信号 C M C N T と、メインメモリ 4 のアドレスを示すキャッシュアドレス A D R と、ステータスライトデータ S W D と、ライトデータ W D とを出力する。

## 【 0 0 2 2 】

ここで、キャッシュメモリ制御信号CMCNTは、ステータスアクセス要求信号SREQ、ステータスライト制御信号SWCNT、way 0 タグアクセス要求信号TREQ0、way 0 タグライト制御信号TCNT0、way 1 タグアクセス要求信号TREQ1、way 1 タグライト制御信号TCNT1、way 0 データアクセス要求信号DREQ0、way 0 データライト制御信号DCNT0、way 1 データアクセス要求信号DREQ1及びway 1 データライト制御信号DCNT1を含んでいる。またバス制御回路3は、バンク制御回路7が出力するメモリリードデータMRDに含まれるステータスリードデータSRDが入力される。

## 【 0 0 2 3 】

キャッシュ周辺回路5は、図2に示されるように、メモリリードデータMRDとキャッシュアドレスADRとが入力される。そして、それらに基づいて、way 0 ヒット信号HIT0、way 1 ヒット信号HIT1、way 0 コピーバック信号CB0、way 1 コピーバック信号CB1、コピーバックアドレスCADR及びリードデータRDをバス制御回路3に出力する。

## 【 0 0 2 4 】

各キャッシュメモリ6は、図3に示されるように、キャッシュアドレスADRと、ステータスライトデータSWDと、ライトデータWDとが入力される。また、バンクn (n=0~7) のキャッシュメモリ6は、バンクnリードデータBnRDをバンク制御回路7に出力する。ここで、バンクnリードデータBnRDは、バンクnステータスリードデータBnSRD、バンクnway 0 リードデータBnw0RD、バンクnway 1 リードデータBnw1RD、バンクnway 0 タグリードデータBnw1TRD及びバンクnway 1 タグリードデータBnw1TRDを含んでいる。

## 【 0 0 2 5 】

バンク制御回路7は、図3に示されるように、キャッシュアドレスADRの一部である信号BIDと、キャッシュメモリ制御信号CMCNTと、マイクロプロセッサ1の外部からの信号CSIZEとが入力される。そして、それらの信号に

基づいて、バンク  $n$  制御信号  $B_nCNT$  ( $n=0\sim 7$ ) をバンク  $n$  のキャッシュメモリ 6 に出力する。またバンク制御回路 7 は、各キャッシュメモリ 6 から出力されたバンク  $n$  リードデータ  $B_nRD$  と、信号  $CSIZE$  及び信号  $BID$  とに基づいて、メモリリードデータ  $MRD$  を出力する。

#### 【0026】

図 4 は、バス制御回路 3 から出力されるキャッシュアドレス  $ADR$  の構成を示す図である。図 4 に示されるように、キャッシュアドレス  $ADR$  は 32 ビットで構成されている。そして、22 ビットのタグ  $TG$  と、8 ビットのインデックス  $ID$  と、2 ビットのブロックオフセット  $BO$  とを含んでいる。

#### 【0027】

キャッシュアドレス  $ADR$  において、タグ  $TG$ 、インデックス  $ID$  及びブロックオフセット  $BO$  が占めるビット位置は固定であって、タグ  $TG$  はキャッシュアドレス  $ADR$  の 0 ビット目から 21 ビット目までを占めており、インデックス  $ID$  は 22 ビット目から 29 ビット目までを占めており、ブロックオフセット  $BO$  は 30 ビット目及び 31 ビット目を占めている。そして、バンク制御回路 7 に入力される信号  $BID$  はタグ  $TG$  の一部であって、キャッシュアドレス  $ADR$  の 19 ビット目～21 ビット目までの 3 ビットの信号である。なお、本実施の形態 1 に係るキャッシュアドレス  $ADR$  は、0 ビット目が最上位ビットであり、31 ビット目が最下位ビットである。

#### 【0028】

次に、バンク制御回路 7、キャッシュメモリ 6 及びキャッシュ周辺回路 5 の構成について詳細に説明する。図 5, 7, 8 は、それらの構成をそれぞれ示している。

#### 【0029】

図 5 に示されるように、バンク制御回路 7 は、バンクデコーダ 700 と、AND 回路 701～708 と、フリップフロップ 709～716 と、セクタ 717 とを備えている。

#### 【0030】

バンクデコーダ 700 は、信号  $CSIZE$  及び信号  $BID$  に基づいて、バンク

0 選択信号 B 0 S E L ~ バンク 7 選択信号 B 7 S E L を出力する。ここで、信号 C S I Z E はキャッシュ容量を示す信号であって、2 ビットで構成されている。例えば、信号 C S I Z E が “0 0” のとき 2 K バイトを示し、“0 1” のとき 4 K バイトを示し、“1 0” のとき 8 K バイトを示し、“1 1” のとき 1 6 K バイトを示す。そしてバンク制御回路 7 は、キャッシュメモリ装置 1 0 のキャッシュ容量が、信号 C S I Z E が示すキャッシュ容量となるように、キャッシュメモリ 6 を選択する。例えば、信号 C S I Z E が “1 0” を示す場合には、バンク 0 ~ 3 のキャッシュメモリ 6 を選択する。なお信号 C S I Z E は、マイクロプロセッサ 1 の外部に設けられた外部装置から供給される場合もあるし、マイクロプロセッサ 1 の信号 C S I Z E の入力端子が電位固定されることによって供給される場合もある。

#### 【 0 0 3 1 】

図 6 は、信号 C S I Z E と、信号 B I D と、バンク n 選択信号 B n S E L との関係を示す図である。図 6 に示されるように、信号 C S I Z E が “0 0” のとき、信号 B I D の値に関わらず、バンク 0 選択信号 B 0 S E L のみが常に “1” となり、バンク 1 選択信号 B 1 S E L ~ バンク 7 選択信号 B 7 S E L は常に “0” である。信号 C S I Z E が “0 1” の場合には、信号 B I D の最下位ビットが “0” のときにはバンク 0 選択信号 B 0 S E L のみが “1” となり、“1” のときにはバンク 1 選択信号 B 1 S E L のみが “1” となる。

#### 【 0 0 3 2 】

また、信号 C S I Z E が “1 0” の場合には、信号 B I D の下位 2 ビットが “0 0” のときにはバンク 0 選択信号 B 0 S E L のみが “1” となり、“0 1” のときにはバンク 1 選択信号 B 1 S E L のみが “1” となり、“1 0” のときにはバンク 2 選択信号 B 2 S E L のみが “1” となり、“1 1” のときにはバンク 3 選択信号 B 3 S E L のみが “1” となる。そして、信号 C S I Z E が “1 1” の場合には、信号 B I D が “0 0 0” のときにはバンク 0 選択信号 B 0 S E L のみが “1” となり、“0 0 1” のときにはバンク 1 選択信号 B 1 S E L のみが “1” となり、“0 1 0” のときにはバンク 2 選択信号 B 2 S E L のみが “1” となり、“0 1 1” のときにはバンク 3 選択信号 B 3 S E L のみが “1” となり、“

“100”のときにはバンク4選択信号B4SELのみが“1”となり、“101”のときにはバンク5選択信号B5SELのみが“1”となり、“110”のときにはバンク6選択信号B6SELのみが“1”となり、“111”のときにはバンク7選択信号B7SELのみが“1”となる。

#### 【0033】

AND回路701～708は、バンク0選択信号B0SEL～バンク7選択信号B7SELとキャッシュメモリ制御信号CMCNTとの論理積をそれぞれ演算して、バンク0制御信号B0CNT～バンク7制御信号B7CNTとしてそれぞれ出力する。

#### 【0034】

なお、バンクn制御信号B0CNT（n=0～7）に含まれるステータスアクセス要求信号SREQ、ステータスライト制御信号SWCNT、way0タグアクセス要求信号TREQ0、way0タグライト制御信号TCNT0、way1タグアクセス要求信号TREQ1、way1タグライト制御信号TCNT1、way0データアクセス要求信号DREQ0、way0データライト制御信号DCNT0、way1データアクセス要求信号DREQ1及びway1データライト制御信号DCNT1を、それぞれ、バンクnステータスアクセス要求信号BnSREQ、バンクnステータスライト制御信号BnSWCNT、バンクnway0Bnタグアクセス要求信号TREQ0、バンクnway0タグライト制御信号BnTCNT0、バンクnway1タグアクセス要求信号BnTREQ1、バンクnway1タグライト制御信号BnTCNT1、バンクnway0データアクセス要求信号BnDREQ0、バンクnway0データライト制御信号BnDCNT0、バンクnway1データアクセス要求信号BnDREQ1及びバンクnway1データライト制御信号BnDCNT1と呼ぶ。

#### 【0035】

フリップフロップ709～716は、バンク0選択信号B0SEL～バンク7選択信号B7SELがそれぞれ入力されている。そして、フリップフロップ709～716は、図示しないクロック信号CLKも入力されており、そのクロック信号CLKの1クロックサイクル分、入力信号を遅延させて出力する。なお、ク



ロック信号CLKはCPU2にも入力されており、CPU2はこのクロック信号CLKをCPUクロックとして動作する。

【0036】

セクタ717は、バンク0リードデータB0RD～バンク7リードデータB7RDと、フリップフロップ709～716の出力とが入力されている。そして、フリップフロップ709～716の出力に基づいて、バンク0リードデータB0RD～バンク7リードデータB7RDのうちの一つを選択して、メモリリードデータMRDとして出力する。

【0037】

具体的には、セクタ717は、フリップフロップ709～716の出力のうち、フリップフロップ709の出力が排他的に“1”である場合には、バンク0リードデータB0RDを出力し、フリップフロップ710の出力が排他的に“1”である場合には、バンク1リードデータB1RDを出力し、フリップフロップ711の出力が排他的に“1”である場合には、バンク2リードデータB2RDを出力し、フリップフロップ712の出力が排他的に“1”である場合には、バンク3リードデータB3RDを出力する。また、フリップフロップ713の出力が排他的に“1”である場合には、バンク4リードデータB4RDを出力し、フリップフロップ714の出力が排他的に“1”である場合には、バンク5リードデータB5RDを出力し、フリップフロップ715の出力が排他的に“1”である場合には、バンク6リードデータB6RDを出力し、フリップフロップ716の出力が排他的に“1”である場合には、バンク7リードデータB7RDを出力する。

【0038】

なお、フリップフロップ709～716の出力がすべて“0”、あるいは2つ以上の出力が“1”となる場合には、セクタ717の出力は不定となる。

【0039】

このように、バンク制御回路7は信号CSIZEに基づいてキャッシュメモリ6を選択して、選択したキャッシュメモリ6へのアクセスを許可している。例えば、信号CSIZEが“01”であって4Kバイトを示す場合、図6に示される

ように、バンク制御回路 7 はバンク 0, 1 のキャッシュメモリ 6 を選択し、バンク 0, 1 のキャッシュメモリ 6 へキャッシュメモリ制御信号 CMCNT を出力してる。これによって、選択されたバンク 0, 1 のキャッシュメモリ 6 へのバス制御回路 3 からのアクセスが許可され、キャッシュメモリ装置 1 0 のキャッシュ容量が 4 K バイトとなる。

#### 【 0 0 4 0 】

そしてバンク制御回路 7 は、信号 B I D の値によって、キャッシュメモリ制御信号 CMCNT をバンク 0 のキャッシュメモリ 6 に出力したり、バンク 1 のキャッシュメモリ 6 に出力したりして、キャッシュメモリ制御信号 CMCNT の出力先のキャッシュメモリ 6 を切り替えている。これにより、バス制御回路 3 からの 1 回のアクセスでは、一つのキャッシュメモリ 6 がアクセスされる。

#### 【 0 0 4 1 】

バンク n のキャッシュメモリ 6 は、図 7 に示されるように、キャッシュメモリ 6 内の状態を示すデータを格納するステータスメモリ 6 0 0 と、キャッシュアドレス ADR 中のタグ T G を記憶する w a y 0 タグメモリ 6 0 1 及び w a y 1 タグメモリ 6 0 2 と、メインメモリ 4 のコピーデータを記憶する w a y 0 データメモリ 6 0 3 及び w a y 1 データメモリ 6 0 4 とを備えている。そして、これらのメモリのそれぞれは、キャッシュアドレス ADR 中のインデックス I D をアドレスとしている。つまり各メモリのアドレス幅は 8 ビットであって、インデックス I D で示されるメモリ領域にアクセスされる。なお、w a y 0 タグメモリ 6 0 1 及び w a y 1 タグメモリ 6 0 2 をあわせて「タグメモリ 6 1 2」と、w a y 0 データメモリ 6 0 3 及び w a y 1 データメモリ 6 0 4 をあわせて「データメモリ 6 3 4」と呼ぶ場合がある。

#### 【 0 0 4 2 】

ステータスメモリ 6 0 0 は、バンク n ステータスアクセス要求信号 B n S R E Q 及びバンク n ステータスライト制御信号 B n S W C N T によってアクセス制御される。具体的には、バンク n ステータスアクセス要求信号 B n S R E Q が H i g h レベルのときにステータスメモリ 6 0 0 へのアクセスが許可され、バンク n ステータスライト制御信号 B n S W C N T が H i g h レベルのときライトアクセ

スされ、Lowレベルのときリードアクセスされる。

【0043】

ステータスメモリ600にはステータスライトデータSWDが書き込まれ、ステータスメモリ600から読み出されたデータは、バンクnステータスリードデータBnSRDとして出力される。そして、バンクnステータスリードデータBnSRDは、バンクnデータBnw0vd, Bnw1vd, Bnw0dy, Bnw1dy, BnLRU (n=0~7) で構成されている。

【0044】

ステータスメモリ600のデータ幅は5ビットであって、各アドレスにおいて記憶されている5ビットの情報を、それぞれ、way0\_\_validビット、way1\_\_validビット、way0\_\_dirtyビット、way1\_\_dirtyビット及びLRUビットと呼ぶ。そして、これらのビットをまとめて「キャッシュステータス」と呼ぶ。

【0045】

各アドレスのway0\_\_validビットは、そのアドレスと同じアドレスにおけるway0タグメモリ601及びway0データメモリ603に格納されているデータが有効であるかどうかを示し、“1”のとき“有効”を示す。また、各アドレスのway1\_\_validビットは、そのアドレスと同じアドレスにおけるway1タグメモリ602及びway1データメモリ604に格納されているデータが有効であるかどうかを示し、“1”のとき“有効”を示す。そして、way0\_\_validビットが示す1ビットのデータは、バンクnデータBnw0vdとして出力され、way1\_\_validビットが示す1ビットのデータは、バンクnデータBnw1vdとして出力される。

【0046】

各アドレスのway0\_\_dirtyビットは、そのアドレスと同じアドレスにおけるway0データメモリ603に格納されているデータが、メインメモリ4のデータと異なるかどうかを示し、“1”のとき異なることを示している。言い換えれば、way0\_\_dirtyビットは、way0データメモリ603に格納されているデータが、メインメモリ4のコピーデータであるかどうかを示し、“

“1”のときコピーデータでないことを示している。また、各アドレスのway1\_\_dirtyビットは、そのアドレスと同じアドレスにおけるway1データメモリ604に格納されているデータが、メインメモリ4のデータと異なるかどうかを示し、“1”のとき異なることを示す。そして、way0\_\_dirtyビットが示す1ビットのデータは、バンクnデータBnw0dyとして出力され、way1\_\_dirtyビットが示す1ビットのデータは、バンクnデータBnw1dyとして出力される。

## 【0047】

各アドレスのLRUビットは、そのアドレスと同じアドレスにおけるway0データメモリ603及びway1データメモリ604のメモリ領域のうち、最近にアクセスされた方を示すビットであり、LRUビットが“0”の場合には、way0データメモリ603が、“1”の場合には、way1データメモリ604が最近にアクセスされたことを示す。そして、LRUビットが示す1ビットのデータは、バンクnデータBnLRUとして出力される。

## 【0048】

way0タグメモリ601は、バンクnway0タグアクセス要求信号BnTREQ0及びバンクnway0タグライト制御信号BnTCNT0によってアクセス制御される。具体的には、バンクnway0タグアクセス要求信号BnTREQ0がHighレベルのときにway0タグメモリ601へのアクセスが許可され、バンクnway0タグライト制御信号BnTCNT0がHighレベルのときライトアクセスされ、Lowレベルのときリードアクセスされる。

## 【0049】

way0タグメモリ601にはキャッシュアドレスADR中のタグTGが書き込まれる。way0タグメモリ601から読み出されたデータは、バンクnway0タグリードデータBnw0TRDとして出力される。

## 【0050】

way1タグメモリ602は、バンクnway1タグアクセス要求信号BnTREQ1及びバンクnway1タグライト制御信号BnTCNT1によってアクセス制御される。具体的には、バンクnway1タグアクセス要求信号BnTR

E Q 1 が H i g h レベルのときに w a y 1 タグメモリ 6 0 2 へのアクセスが許可され、バンク n w a y 1 タグライト制御信号 B n T C N T 1 が H i g h レベルのときライトアクセスされ、L o w レベルのときリードアクセスされる。

## 【 0 0 5 1 】

w a y 1 タグメモリ 6 0 2 にはキャッシュアドレス A D R 中のタグ T G が書き込まれる、w a y 1 タグメモリ 6 0 2 から読み出されたデータは、バンク n w a y 1 タグリードデータ B n w 1 T R D として出力される。

## 【 0 0 5 2 】

なお、w a y 0 タグメモリ 6 0 1 及び w a y 1 タグメモリ 6 0 2 のデータ幅は、タグ T G のビット数と同じ 2 2 ビットである。

## 【 0 0 5 3 】

w a y 0 データメモリ 6 0 3 は、バンク n w a y 0 データアクセス要求信号 B n D R E Q 0 及びバンク n w a y 0 データライト制御信号 B n D C N T 0 によってアクセス制御される。具体的には、バンク n w a y 0 データアクセス要求信号 B n D R E Q 0 が H i g h レベルのときに w a y 0 データメモリ 6 0 3 へのアクセスが許可され、バンク n w a y 0 データライト制御信号 B n D C N T 0 が H i g h レベルのときライトアクセスされ、L o w レベルのときリードアクセスされる。

## 【 0 0 5 4 】

w a y 0 データメモリ 6 0 3 には、ライトデータ W D が書き込まれる。そして、w a y 0 データメモリ 6 0 3 から読み出されたデータは、バンク n w a y 0 リードデータ B n w 0 R D として出力される。

## 【 0 0 5 5 】

w a y 1 データメモリ 6 0 4 は、バンク n w a y 1 データアクセス要求信号 B n D R E Q 1 及びバンク n w a y 1 データライト制御信号 B n D C N T 1 によってアクセス制御される。具体的には、バンク n w a y 1 データアクセス要求信号 B n D R E Q 1 が H i g h レベルのときに w a y 1 データメモリ 6 0 3 へのアクセスが許可され、バンク n w a y 1 データライト制御信号 B n D C N T 1 が H i g h レベルのときライトアクセスされ、L o w レベルのときリードアクセスされ

る。

【0056】

way1データメモリ604にもライトデータWDが書き込まれる。そして、way1データメモリ604から読み出されたデータは、バンクnway1リードデータBnw1RDとして出力される。

【0057】

way0データメモリ603及びway1データメモリ604のデータ幅は、ブロック長と同じく4バイトである。また、way0データメモリ603及びway1データメモリ604のアドレス幅は8ビットであるため、それぞれのメモリは、1Kバイト（4バイト×256）の容量を有する。従って、バンクnのキャッシュメモリ6は、メインメモリ4のコピーデータを記憶するための2Kバイトのメモリ容量を備えている。なお、way0データメモリ603及びway1データメモリ604が、このように4バイト単位でアクセスされるため、キャッシュアドレスADR中のブロックオフセットBOは、キャッシュメモリ6内の各メモリをアクセスする際には特に使用されない。

【0058】

上述のようにして、バンクnのキャッシュメモリ6から読み出されたバンクnステータスリードデータBnSRD、バンクnway0リードデータBnw0RD、バンクnway1リードデータBnw1RD、バンクnway0タグリードデータBnw1TRD及びバンクnway1タグリードデータBnw1TRDは、バンクnリードデータBnRDとしてバンク制御回路7に入力される。

【0059】

そして、バンク制御回路7のセクタ717によって選択されたバンクnリードデータに含まれるバンクnステータスリードデータBnSRD、バンクnway0リードデータBnw0RD、バンクnway1リードデータBnw1RD、バンクnway0タグリードデータBnw1TRD及びバンクnway1タグリードデータBnw1TRDは、それぞれ、ステータスリードデータSRD、way0リードデータw0RD、way1リードデータw1RD、way0タグリードデータw1TRD及びway1タグリードデータw1TRDとしてバンク制御

回路 7 から出力される。つまり、メモリリードデータ M R D は、ステータスリードデータ S R D、w a y 0 リードデータ w 0 R D、w a y 1 リードデータ w 1 R D、w a y 0 タグリードデータ w 1 T R D 及び w a y 1 タグリードデータ w 1 T R D を含んでいる。

#### 【 0 0 6 0 】

キャッシュ周辺回路 5 は、図 8 に示されるように、比較器 5 0 0、5 0 2 と、AND 回路 5 0 1、5 0 3、5 0 5、5 0 8 と、インバータ 5 0 4、5 0 6、5 0 7 と、OR 回路 5 0 9、5 1 0 と、セクタ 5 1 1、5 1 4 と、フリップフロップ 5 1 2、5 1 3 と、連結器 5 1 5 とを備えている。

#### 【 0 0 6 1 】

フリップフロップ 5 1 2、5 1 3 は、キャッシュアドレス A D R 中のタグ T G 及びインデックス I D を、上述のクロック信号 C L K の 1 クロック分遅延させてそれぞれ出力する。

#### 【 0 0 6 2 】

比較器 5 0 0 は、メモリリードデータ M R D に含まれる w a y 0 タグリードデータ w 0 T R D と、フリップフロップ 5 1 2 の出力とを比較し、両者の一致を検出すると“1”を出力し、不一致を検出すると“0”を出力する。また、比較器 5 0 2 は、メモリリードデータ M R D に含まれる w a y 1 タグリードデータ w 1 T R D と、フリップフロップ 5 1 2 の出力とを比較し、両者の一致を検出すると“1”を出力し、不一致を検出すると“0”を出力する。

#### 【 0 0 6 3 】

AND 回路 5 0 1 は、比較器 5 0 0 の出力と、データ w 0 v d との論理積を演算し、w a y 0 ヒット信号 H I T 0 として出力する。また、AND 回路 5 0 3 は、比較器 5 0 2 の出力と、データ w 1 v d との論理積を演算し、w a y 1 ヒット信号 H I T 1 として出力する。

#### 【 0 0 6 4 】

AND 回路 5 0 5 は、インバータ 5 0 4 で反転された AND 回路 5 0 1 の出力と、データ w 0 d y と、データ L R U との論理積を演算し、w a y 0 コピーバック信号 C B 0 として出力する。また AND 回路 5 0 8 は、インバータ 5 0 6 で反

転されたAND回路503の出力と、データw1dyと、インバータ507で反転されたデータLRUとの論理積を演算し、way1コピーバック信号CB1として出力する。

## 【0065】

OR回路509は、AND回路501，505の出力の論理和を演算して出力し、OR回路510は、AND回路503，508の出力の論理和を演算して出力する。

## 【0066】

セクタ511は、OR回路509，510の出力に基づいて、way0リードデータw0RD及びway1リードデータw1RDのどちらか一方を選択してリードデータRDとして出力する。OR回路509の出力が“1”かつOR回路510の出力が“0”のときには、way0リードデータw0RDをリードデータRDとして出力し、OR回路509の出力が“0”かつOR回路510の出力が“1”のときには、way1リードデータw1RDをリードデータRDとして出力する。OR回路509，510の出力が互いに同じ場合には、セクタ511の出力は不定である。

## 【0067】

セクタ514は、AND回路505，508の出力に基づいて、way0タグリードデータw0TRD及びway1タグリードデータw1TRDのどちらか一方を選択して出力する。AND回路505の出力が“1”かつAND回路508の出力が“0”のときには、way0タグリードデータw0TRDを出力し、AND回路505の出力が“0”かつAND回路508の出力が“1”のときには、way1タグリードデータw1TRDを出力する。AND回路505，508の出力が互いに同じ場合には、セクタ514の出力は不定である。

## 【0068】

連結器515は、フリップフロップ513の出力と、セクタ514の出力とを連結してコピーバックアドレスCADRとして出力する。連結器515は、コピーバックアドレスCADRの0ビット目から21ビット目にセクタ514の出力を割り当て、22ビット目から29ビット目にフリップフロップ513の出



力を割り当てる。つまり、コピーバックアドレス C A D R は、0 ビット目から 21 ビット目にセクタ 5 1 4 の出力を含み、22 ビット目から 29 ビット目に、入力されたキャッシュアドレス A D R 中のインデックス I D を含む。

#### 【 0 0 6 9 】

次に、本実施の形態 1 に係るマイクロプロセッサ 1 のキャッシュ動作について説明する。図 9 ～ 1 2 はリード動作時のタイミングチャートを示しており、図 13 ～ 1 5 はライト動作時のタイミングチャートを示している。また、図 1 6 ～ 19 はコピーバックを行う際のタイミングチャートを示しており、図 2 0, 2 1 は、異なるキャッシュメモリ 6 に連続してアクセスする際のタイミングチャートを示している。

#### 【 0 0 7 0 】

なお、図中のサイクル 2 0 1 ～ 2 2 8, 3 0 1 ～ 3 1 1 は、CPU クロックであるクロック信号 C L K の 1 サイクル分を示している。また、以下の動作説明では、way 0 \_ v a l i d ビット、way 1 \_ v a l i d ビット、way 0 \_ d i r t y ビット、way 1 \_ d i r t y ビット及び L R U ビットに対応するデータを、この順で “1 1 0 0 1” のように 2 進数表記する。また、サイクル 2 0 1, 2 0 4, 2 1 2, 2 1 3, 2 1 6, 2 1 9, 2 2 0, 2 2 8, 3 0 1, 3 1 1 においては、マイクロプロセッサ 1 はキャッシュ動作以外の動作を実行している。

#### 【 0 0 7 1 】

まず、図 9 ～ 1 2 を参照して、マイクロプロセッサ 1 のキャッシュ動作におけるリード動作について説明する。

#### 【 0 0 7 2 】

バンク制御回路 7 は、信号 C S I Z E に基づいて、複数のキャッシュメモリ 6 から、アクセスを許可するキャッシュメモリ 6 を選択する。これによって、キャッシュメモリ装置 1 0 のキャッシュ容量が、信号 C S I Z E が示すキャッシュメモリ容量となる。

#### 【 0 0 7 3 】

C P U 2 はバス制御回路 3 に対して、キャッシュメモリ装置 1 0 のキャッシュ

メモリ 6 にリードアクセスするように要求する。

【 0 0 7 4 】

C P U 2 の要求を受け取ったバス制御回路 3 は図 9 に示されるように、サイクル 2 0 2 において、キャッシュメモリ装置 1 0 に値 “A 0” のキャッシュアドレス A D R を出力し、同時にキャッシュメモリ制御信号 C M C N T を出力する。

【 0 0 7 5 】

バンク制御回路 7 は、受け取ったキャッシュアドレス A D R 中に含まれる信号 B I D に基づいて、選択したキャッシュメモリ 6 中のバンク n のキャッシュメモリ 6 に、キャッシュメモリ制御信号 C M C N T をバンク n 制御信号 B n C N T として出力する。

【 0 0 7 6 】

サイクル 2 0 2 では、バンク n のキャッシュメモリ 6 が有する各メモリにリードアクセスが実行される。

【 0 0 7 7 】

図 9 に示されるように、サイクル 2 0 2 では、バンク n ステータスアクセス要求信号 B n S R E Q は “1” を示し、バンク n ステータスライト制御信号 B n S W C N T は “0” を示す。従って、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 において、キャッシュアドレス A D R 中のインデックス I D が示すアドレスに対してリードアクセスが実行される。その結果、サイクル 2 0 3 において、インデックス I D が示すアドレスのメモリ領域からデータが読み出されて、バンク n ステータスリードデータ B n S R D としてバンク制御回路 7 に入力される。なお、サイクル 2 0 3 で読み出されたバンク n ステータスリードデータ B n S R D の値を “1 1 0 0 1” とする。

【 0 0 7 8 】

またサイクル 2 0 2 では、図 1 0, 1 1 に示されるように、バンク n w a y 0 タグアクセス要求信号 B n T R E Q 0 及びバンク n w a y 1 タグアクセス要求信号 B n T R E Q 1 がともに “1” を示し、バンク n w a y 0 タグライト制御信号 B n T C N T 0 及びバンク n w a y 1 タグライト制御信号 B n T C N T 1 がともに “0” を示す。従って、バンク n のキャッシュメモリ 6 のタグメモリ 6 1 2 に

において、キャッシュアドレス ADR 中のインデックス ID が示すアドレスに対してリードアクセスが実行される。その結果、サイクル 203 において、インデックス ID が示すアドレスのメモリ領域からデータが読み出されて、バンク nway0 タグリードデータ Bnw0 TRD 及びバンク nway1 タグリードデータ Bnw1 TRD としてバンク制御回路 7 に入力される。なお、サイクル 203 で読み出されたバンク nway0 タグリードデータ Bnw0 TRD 及びバンク nway1 タグリードデータ Bnw1 TRD の値をそれぞれ “T00” 及び “T10” とする。

## 【0079】

またサイクル 202 では、図 12 に示されるように、バンク nway0 データアクセス要求信号 BnDREQ0 及びバンク nway1 データアクセス要求信号 BnDREQ1 がともに “1” を示し、バンク nway0 データライト制御信号 BnDCNT0 及びバンク nway1 データライト制御信号 BnDCNT1 がともに “0” を示す。従って、バンク n のキャッシュメモリ 6 のデータメモリ 634 において、キャッシュアドレス ADR 中のインデックス ID が示すアドレスに対してリードアクセスが実行される。その結果、サイクル 203 において、インデックス ID が示すアドレスのメモリ領域からデータが読み出されて、バンク nway0 リードデータ Bnw0 RD 及びバンク nway1 リードデータ Bnw1 RD としてバンク制御回路 7 に入力される。なお、サイクル 203 で読み出されたバンク nway0 リードデータ Bnw0 RD 及びバンク nway1 リードデータ Bnw1 RD の値をそれぞれ “D00” 及び “D10” とする。

## 【0080】

バンク制御回路 7 は、サイクル 203 において、バンク n リードデータ BnRD を、メモリリードデータ MRD として出力する。

## 【0081】

サイクル 203 において、キャッシュ周辺回路 5 のフリップフロップ 512 は、サイクル 202 で入力されたキャッシュアドレス ADR 中のタグ TG を出力する。なお、このタグ TG の値を “T00” とする。

## 【0082】

比較器 5 0 0 は、フリップフロップ 5 1 2 の出力値 “T 0 0” と、w a y 0 タグリードデータ w 0 T R D の値 “T 0 0” とが一致しているため、“1” を出力する。上述のように、バンク n ステータスリードデータ B n S R D の値は “1 1 0 0 1” であるため、データ w 0 v d は “1” となる。従って、AND 回路 5 0 1 の入力にはともに “1” が入力されて、AND 回路 5 0 1 は “1” を出力する。これにより、図 1 0 に示されるように、サイクル 2 0 3 において、w a y 0 ヒット信号 H I T 0 は “1” となる。

## 【 0 0 8 3 】

比較器 5 0 2 は、フリップフロップ 5 1 2 の出力値 “T 0 0” と、w a y 1 タグリードデータ w 1 T R D の値 “T 1 0” とが一致していないため、“0” を出力する。比較器 5 0 2 の出力が “0” であるため、AND 回路 5 0 3 は “0” を出力する。これにより、図 1 1 に示されるように、サイクル 2 0 3 において、w a y 1 ヒット信号 H I T 1 は “0” となる。

## 【 0 0 8 4 】

AND 回路 5 0 5 は、データ w 0 d y が “0” であるため “0” を出力する。これにより、図 1 0 に示されるように、サイクル 2 0 3 において、w a y 0 コピーバック信号 C B 0 は “0” となる。また AND 回路 5 0 8 は、データ w 1 d y が “0” であるため “0” を出力する。これにより、図 1 1 に示されるように、サイクル 2 0 3 において、w a y 1 コピーバック信号 C B 1 は “0” となる。

## 【 0 0 8 5 】

OR 回路 5 0 9 は、AND 回路 5 0 1 の出力が “1” であるため “1” を出力し、OR 回路 5 1 0 は、AND 回路 5 0 3，5 0 8 の出力がともに “0” であるため “0” を出力する。従って、セレクタ 5 1 1 は、w a y 0 リードデータ w 0 R D を選択する。これにより、図 1 2 に示されるように、サイクル 2 0 3 において、リードデータ R D として “D 0 0” がバス制御回路 3 に出力される。そして、バス制御回路 3 は、受け取ったリードデータ R D を C P U 2 に出力する。

## 【 0 0 8 6 】

また、サイクル 2 0 3 では、ステータスメモリ 6 0 0 へのライトアクセスも実行され、キャッシュステータスの更新が行われる。

## 【 0 0 8 7 】

サイクル 2 0 3 において、バス制御回路 3 は、ステータスリードデータ S R D が入力され、w a y 0 がヒット状態であることを認識する。従って、キャッシュステータスの L R U ビットを “ 0 ” に更新する必要がある。また、サイクル 2 0 2 でのキャッシュメモリ装置 1 0 へのアクセスはリードアクセスであるため、データ w a y 0 \_ v a l i d ビット、w a y 1 \_ v a l i d ビット、w a y 0 \_ d i r t y ビット及び w a y 1 \_ d i r t y ビットを更新する必要は無い。従って、バス制御回路 3 は、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 に、キャッシュステータスとして “ 1 1 0 0 0 ” を書き込む。

## 【 0 0 8 8 】

具体的には、図 9 に示されるように、サイクル 2 0 3 において、バス制御回路 3 は、キャッシュメモリ装置 1 0 に値 “ A 0 ” のキャッシュアドレス A D R を出力し、同時に値 “ 1 1 0 0 0 ” のステータスライトデータ S W D とキャッシュメモリ制御信号 C M C N T を出力する。

## 【 0 0 8 9 】

このサイクルでは、ステータスメモリ 6 0 0 へのライトアクセスが実行されるため、図 9 に示されるように、バンク n ステータスアクセス要求信号 B n S R E Q 及びバンク n ステータスライト制御信号 B n S W C N T はともに “ 1 ” を示す。従って、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 において、キャッシュアドレス A D R 中のインデックス I D が示すアドレスに “ 1 1 0 0 0 ” が書き込まれる。このようにして、キャッシュステータスが更新される。

## 【 0 0 9 0 】

次に、C P U 2 はバス制御回路 3 に対して、キャッシュメモリ装置 1 0 のキャッシュメモリ 6 にリードアクセスするように要求する。C P U 2 の要求を受け取ったバス制御回路 3 は、図 9 に示されるように、サイクル 2 0 5 において、キャッシュメモリ装置 1 0 に値 “ A 1 ” のキャッシュアドレス A D R を出力し、同時にキャッシュメモリ制御信号 C M C N T を出力する。

## 【 0 0 9 1 】

バンク制御回路 7 は、受け取ったキャッシュアドレス A D R 中に含まれる信号

B I Dに基づいて、選択したキャッシュメモリ 6 中のバンク n のキャッシュメモリ 6 に、キャッシュメモリ制御信号 C M C N T をバンク n 制御信号 B n C N T として出力する。

#### 【0092】

そして、上述のようにして、サイクル 206 において、バンク n のキャッシュメモリ 6 のステータスメモリ 600、タグメモリ 612 及びデータメモリ 634 からデータが読み出される。なお、図 9～12 に示されるように、サイクル 206 で読み出されたバンク n ステータスリードデータ B n S R D、バンク n w a y 0 タグリードデータ B n w 0 T R D、バンク n w a y 1 タグリードデータ B n w 1 T R D、バンク n w a y 0 リードデータ B n w 0 R D 及びバンク n w a y 1 リードデータ B n w 1 R D の値を、それぞれ “11000”、“T01”、“T11”、“D01” 及び “D11” とする。

#### 【0093】

サイクル 206 において、キャッシュ周辺回路 5 のフリップフロップ 512 は、サイクル 205 で入力されたキャッシュアドレス A D R 中のタグ T G を出力する。なお、このタグ T G の値を “T21” とする。

#### 【0094】

比較器 500 は、フリップフロップ 512 の出力値 “T21” と、w a y 0 タグリードデータ w 0 T R D の値 “T01” とが一致していないため、“0”を出力する。比較器 500 の出力が “0” であるため、AND 回路 501 は “0” を出力する。これにより、図 10 に示されるように、サイクル 206 において、w a y 0 ヒット信号 H I T 0 は “0” となる。

#### 【0095】

比較器 502 は、フリップフロップ 512 の出力値 “T00” と、w a y 1 タグリードデータ w 1 T R D の値 “T01” とが一致していないため、“0”を出力する。比較器 502 の出力が “0” であるため、AND 回路 503 は “0” を出力する。これにより、図 11 に示されるように、サイクル 206 において、w a y 1 ヒット信号 H I T 1 は “0” となる。

#### 【0096】

AND回路505は、データw0dyが“0”であるため“0”を出力する。これにより、図10に示されるように、サイクル206において、way0コピーバック信号CB0は“0”となる。またAND回路508は、データw1dyが“0”であるため“0”を出力する。これにより、図11に示されるように、サイクル206において、way1コピーバック信号CB1は“0”となる。

## 【0097】

OR回路509は、AND回路501，505の出力がともに“0”であるため“0”を出力し、OR回路510は、AND回路503，508の出力がともに“0”であるため“0”を出力する。従って、セクタ511の出力は不定となる。その結果、図12に示されるように、サイクル206において、リードデータRDの値は不定となる。

## 【0098】

バス制御回路3は、サイクル206において、ステータスリードデータSRDが入力され、way0，1がともにミスヒット状態（way0ヒット信号HIT0及びway1ヒット信号HIT1がともに“0”）であることと、コピーバック不要（way0コピーバック信号CB0及びway1コピーバック信号CB1がともに“0”）であることを認識する。なお、サイクル205で実行されるアクセスによってキャッシュステータスは変化しないため、サイクル206においてはキャッシュステータスの更新は行われない。

## 【0099】

そして、バス制御回路3は、メインメモリ4のコピーデータを得るために、メインメモリ4に対してリードアクセスを行う。そして、メインメモリ4から読み出したデータをCPU2に出力するとともに、そのデータをバンクnのキャッシュメモリ6に書き込む。なお、メインメモリ4から読み出されたデータの値を“DW1”とする。

## 【0100】

サイクル207～210は、バス制御回路3によるメインメモリ4へのリードアクセス期間であり、この期間中には、キャッシュメモリ装置10へのアクセスは実行されない。

## 【 0 1 0 1 】

バス制御回路 3 は、メインメモリ 4 からデータ “DW1” を読み出すと、サイクル 2 1 1 において、データ “DW1” のキャッシュメモリ 6 への書き込みを行う。バス制御回路 3 は、サイクル 2 0 6 で入力されたステータスリードデータ S R D から、L R U ビットが w a y 0 を示すことを認識しているため、w a y 1 データメモリ 6 0 4 にデータ “DW1” の書き込みを行う。

## 【 0 1 0 2 】

更に、サイクル 2 1 1 において、バス制御回路 3 は、キャッシュステータス及びキャッシュメモリ 6 内のタグ T G の更新を行う。バス制御回路 3 は w a y 1 データメモリ 6 0 4 にデータ “DW1” を書き込むため、L R U ビットを “1” に更新する必要がある。また、w a y 1 データメモリ 6 0 4 に書き込まれるデータはメインメモリ 4 のコピーデータであり、w a y 0 データメモリ 6 0 3 にはデータが書き込まれないため、w a y 0 \_ \_ d i r t y ビット及び w a y 1 \_ \_ d i r t y ビットを更新する必要はない。また、w a y 1 データメモリ 6 0 4 のデータは更新されるが、データは有効のままであるので、w a y 1 \_ \_ v a l i d ビットを更新する必要はないし、w a y 0 データメモリ 6 0 3 にはデータが書き込まれないため、w a y 0 \_ \_ v a l i d ビットも更新する必要は無い。従って、バス制御回路 3 は、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 に、キャッシュステータスとして “1 1 0 0 1” を書き込む。

## 【 0 1 0 3 】

以下に、サイクル 2 1 1 における動作について具体的に説明する。

## 【 0 1 0 4 】

図 9 に示されるように、サイクル 2 1 1 において、バス制御回路 3 は、キャッシュメモリ装置 1 0 に値 “A1” のキャッシュアドレス A D R を出力し、同時に、値 “1 1 0 0 1” のステータスライトデータ S W D とキャッシュメモリ制御信号 C M C N T を出力する。更に、バス制御回路 3 は、このサイクルにおいて、図 1 2 に示されるように、値 “DW1” のライトデータ W D を出力する。

## 【 0 1 0 5 】

バンク n ステータスアクセス要求信号 B n S R E Q は “1” を示し、バンク n



ステータスライト制御信号  $B_n SWCNT$  は “1” を示すため、バンク  $n$  のキャッシュメモリ 6 のステータスメモリ 6 0 0 において、キャッシュアドレス  $ADR$  中のインデックス  $ID$  が示すアドレスに、“1 1 0 0 1” が書き込まれる。このようにして、キャッシュステータスが更新される。

## 【0 1 0 6】

また、サイクル 2 1 1 では、図 1 1 に示されるように、バンク  $n way 1$  タグアクセス要求信号  $B_n TREQ 1$  及びバンク  $n way 1$  タグライト制御信号  $B_n TCNT 1$  がともに “1” を示す。従って、バンク  $n$  のキャッシュメモリ 6 の  $way 1$  タグメモリ 6 0 1 において、キャッシュアドレス  $ADR$  中のインデックス  $ID$  が示すアドレスに、キャッシュアドレス  $ADR$  中のタグ  $TG$  が書き込まれる。このようにして、キャッシュメモリ 6 内のタグ  $TG$  が更新される。

## 【0 1 0 7】

またサイクル 2 1 1 では、図 1 2 に示されるように、バンク  $n way 1$  データアクセス要求信号  $B_n DREQ 1$  及びバンク  $n way 1$  データライト制御信号  $B_n DCNT 1$  がともに “1” を示す。従って、バンク  $n$  のキャッシュメモリ 6 の  $way 1$  データメモリ 6 0 4 において、キャッシュアドレス  $ADR$  中のインデックス  $ID$  が示すアドレスに、データ “DW 1” が書き込まれる。このようにして、メインメモリ 4 のコピーデータがキャッシュメモリ 6 に書き込まれる。

## 【0 1 0 8】

次に、図 1 3 ～ 1 5 を参照して、マイクロプロセッサ 1 のキャッシュ動作におけるライト動作について説明する。

## 【0 1 0 9】

まず、CPU 2 はバス制御回路 3 に対して、キャッシュメモリ装置 1 0 のキャッシュメモリ 6 にデータ “DW 2” を書き込むように要求する。CPU 2 の要求を受け取ったバス制御回路 3 は、キャッシュメモリ 6 へのライトアクセスに先立って、キャッシュメモリ 6 内のステータスメモリ 6 0 0 及びタグメモリ 6 1 2 へのリードアクセスを行う。

## 【0 1 1 0】

具体的には、図 1 3 に示されるように、サイクル 2 1 4 において、バス制御回

路3は、キャッシュメモリ装置10に値“A2”のキャッシュアドレスADRを出力し、同時にキャッシュメモリ制御信号CMCNTを出力する。

#### 【0111】

サイクル214では、バンクnステータスアクセス要求信号BnSREQは“1”を示し、バンクnステータスライト制御信号BnSWCNTは“0”を示すため、バンクnのキャッシュメモリ6のステータスメモリ600に対してリードアクセスが実行される。その結果、図13に示されるように、サイクル215において、ステータスメモリ600からデータが読み出されて、バンクnステータスリードデータBnSRDとして出力される。なお、サイクル215で読み出されたバンクnステータスリードデータBnSRDの値を“11000”とする。

#### 【0112】

またサイクル214では、図14に示されるように、バンクnway0タグアクセス要求信号BnTREQ0及びバンクnway1タグアクセス要求信号BnTREQ1がともに“1”を示し、バンクnway0タグライト制御信号BnTCNT0及びバンクnway1タグライト制御信号BnTCNT1がともに“0”を示す。従って、バンクnのキャッシュメモリ6のタグメモリ612に対してリードアクセスが実行される。その結果、サイクル215において、タグメモリ612からデータが読み出されて、バンクnway0タグリードデータBnw0TRD及びバンクnway1タグリードデータBnw1TRDとして出力される。なお、サイクル215で読み出されたバンクnway0タグリードデータBnw0TRD及びバンクnway1タグリードデータBnw1TRDの値をそれぞれ“T02”及び“T12”とする。

#### 【0113】

サイクル215において、キャッシュ周辺回路5のフリップフロップ512は、サイクル214で入力されたキャッシュアドレスADR中のタグTGを出力する。なお、このタグTGの値を“T12”とする。

#### 【0114】

比較器500は、フリップフロップ512の出力値“T12”と、way0タグリードデータnw0TRDの値“T02”とが一致していないため、“0”を出

力する。従って、AND回路501は“0”を出力する。これにより、図14に示されるように、サイクル215において、way0ヒット信号HIT0は“0”となる。

#### 【0115】

比較器502は、フリップフロップ512の出力値“T12”と、way1タグリードデータw1TRDの値“T12”とが一致しているため、“1”を出力する。上述のように、バンクnステータスリードデータBnSRDの値は“11000”であるため、データw0vdは“1”となる。従って、AND回路503の入力にはともに“1”が入力されて、AND回路503は“1”を出力する。これにより、図14に示されるように、サイクル215において、way1ヒット信号HIT1は“1”となる。

#### 【0116】

AND回路505、508は、データw0dy、w1dyがともに“0”であるため、それぞれ“0”を出力する。これにより、図14に示されるように、サイクル215において、way0コピーバック信号CB0及びway1コピーバック信号CB1がそれぞれ“0”となる。

#### 【0117】

バス制御回路3は、サイクル215において、バンク制御回路7及びキャッシュ周辺回路5の出力を受け取ると、データ“DW2”をバンクnのキャッシュメモリ6に書き込む。バス制御回路3は、サイクル215で受け取ったキャッシュ周辺回路5からの信号から、way0ヒット信号HIT0、way1ヒット信号HIT1、way0コピーバック信号CB0及びway1コピーバック信号CB1がそれぞれ“0”、“1”、“0”及び“0”を示すことを認識しているため、way1データメモリ604にデータ“DW2”の書き込みを行う。

#### 【0118】

また、way1データメモリ604にデータを書き込むため、LRUビット及びway1\_dirtyビットをとともに“1”に更新する必要があるため、バス制御回路3は、サイクル215において、バンクnのキャッシュメモリ6のステータスメモリ600に、キャッシュステータスとして“11011”を書き込む

## 【 0 1 1 9 】

具体的には、図 1 3 に示されるように、サイクル 2 1 5 において、バス制御回路 3 は、キャッシュメモリ装置 1 0 に値 “A 2” のキャッシュアドレス ADR を出力し、同時に、値 “1 1 0 1 1” のステータスライトデータ SWD とキャッシュメモリ制御信号 CMCNT を出力する。更に、バス制御回路 3 は、このサイクルにおいて、図 1 5 に示されるように、値 “DW 2” のライトデータ WD を出力する。

## 【 0 1 2 0 】

バンク n ステータスアクセス要求信号 B n SREQ 及びバンク n ステータスライト制御信号 B n SWCNT はともに “1” を示すため、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 に “1 1 0 1 1” が書き込まれる。このようにして、キャッシュステータスが更新される。

## 【 0 1 2 1 】

またサイクル 2 1 5 では、図 1 5 に示されるように、バンク n way 1 データアクセス要求信号 B n DREQ 1 及びバンク n way 1 データライト制御信号 B n DCNT 1 がともに “1” を示す。従って、バンク n のキャッシュメモリ 6 の way 1 データメモリ 6 0 4 にデータ “DW 2” が書き込まれる。このようにして、way 1 データメモリ 6 0 4 のデータが更新される。

## 【 0 1 2 2 】

その後、CPU 2 はバス制御回路 3 に対して、キャッシュメモリ装置 1 0 のキャッシュメモリ 6 にデータ “DW 3” を書き込むように要求する。CPU 2 の要求を受け取ったバス制御回路 3 は、サイクル 2 1 7 において、上述のように、キャッシュメモリ 6 へのライトアクセスに先立って、キャッシュメモリ 6 内のステータスメモリ 6 0 0 及びタグメモリ 6 1 2 へのリードアクセスを行う。その結果、サイクル 2 1 8 において、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 及びタグメモリ 6 1 2 からデータが読み出される。なお、図 1 3, 1 4 に示されるように、サイクル 2 1 8 で読み出されたバンク n ステータスリードデータ B n SRD、バンク n way 0 タグリードデータ B n w 0 TRD 及びバンク n

way 1 タグリードデータ B n w 1 T R D の値を、それぞれ “1 1 0 0 1”、“T 0 3”、“T 1 3” とする。

【0 1 2 3】

サイクル 2 1 8 において、キャッシュ周辺回路 5 のフリップフロップ 5 1 2 は、サイクル 2 1 7 で入力されたキャッシュアドレス A D R 中のタグ T G を出力する。なお、このタグ T G の値を “T 2 3” とする。

【0 1 2 4】

比較器 5 0 0 は、フリップフロップ 5 1 2 の出力値 “T 2 3” と、way 0 タグリードデータ w 0 T R D の値 “T 0 3” とが一致していないため、“0” を出力する。従って、図 1 4 に示されるように、サイクル 2 1 8 において、way 0 ヒット信号 H I T 0 は “0” となる。

【0 1 2 5】

比較器 5 0 2 は、フリップフロップ 5 1 2 の出力値 “T 2 3” と、way 1 タグリードデータ w 1 T R D の値 “T 1 3” とが一致していないため、“0” を出力する。従って、図 1 4 に示されるように、サイクル 2 1 8 において、way 1 ヒット信号 H I T 1 は “0” となる。

【0 1 2 6】

A N D 回路 5 0 5、5 0 8 は、データ w 0 d y、w 1 d y がともに “0” であるため、それぞれ “0” を出力する。これにより、図 1 4 に示されるように、サイクル 2 1 8 において、way 0 コピーバック信号 C B 0 及び way 1 コピーバック信号 C B 1 はそれぞれ “0” となる。

【0 1 2 7】

バス制御回路 3 は、サイクル 2 1 8 において、バンク制御回路 7 及びキャッシュ周辺回路 5 の出力を受け取ると、上述のようにして、データ “D W 3” をバンク n のキャッシュメモリ 6 に書き込む。バス制御回路 3 は、サイクル 2 1 8 で受け取ったキャッシュ周辺回路 5 からの信号から、way 0 ヒット信号 H I T 0、way 1 ヒット信号 H I T 1、way 0 コピーバック信号 C B 0、way 1 コピーバック信号 C B 1 が全て “0” を示すことを認識している。更に、サイクル 2 1 8 で入力されたステータスリードデータ S R D から、L R U ビットが way 1

を示していることを認識している。従って、バス制御回路3は、way0データメモリ603にデータ“DW3”の書き込みを行う。

## 【0128】

また、way0データメモリ603にデータを書き込むため、LRUビットを“0”に、way0\_dirtyビットを“1”に更新する必要がある。従って、サイクル218において、バス制御回路3は、バンクnのキャッシュメモリ6のステータスメモリ600にキャッシュステータスとして“11100”を書き込む。

## 【0129】

次に図16～19を参照して、リード動作時にコピーバックが発生した際のマイクロプロセッサ1の動作について説明する。

## 【0130】

まず、CPU2はバス制御回路3に対して、キャッシュメモリ装置10のキャッシュメモリ6にリードアクセスするように要求する。CPU2の要求を受け取ったバス制御回路3は、図16に示されるように、サイクル221において、キャッシュメモリ装置10に値“A4”のキャッシュアドレスADRを出力し、同時にキャッシュメモリ制御信号CMCNTを出力する。

## 【0131】

そして、上述のようにして、サイクル222において、バンクnのキャッシュメモリ6のステータスメモリ600、タグメモリ612及びデータメモリ634からデータが読み出される。ここで、図16～19に示されるように、サイクル222で読み出されたバンクnステータスリードデータBnSRD、バンクnway0タグリードデータBnw0TRD、バンクnway1タグリードデータBnw1TRD、バンクnway0リードデータBnw0RD及びバンクnway1リードデータBnw1RDの値を、それぞれ“11101”、“T04”、“T14”、“D04”及び“D14”とする。

## 【0132】

サイクル222において、キャッシュ周辺回路5のフリップフロップ512は、サイクル221で入力されたキャッシュアドレスADR中のタグTGを出力す

る。ここでは、このタグTGの値を“T24”とする。

【0133】

比較器500は、フリップフロップ512の出力値“T24”と、way0タグリードデータw0TRDの値“T04”とが一致していないため、“0”を出力する。従って、AND回路501は“0”を出力する。これにより、図17に示されるように、サイクル222において、way0ヒット信号HIT0は“0”となる。

【0134】

比較器502は、フリップフロップ512の出力値“T24”と、way1タグリードデータw1TRDの値“T04”とが一致していないため、“0”を出力する。従って、AND回路503は“0”を出力する。これにより、図18に示されるように、サイクル222において、way1ヒット信号HIT1は“0”となる。

【0135】

インバータ504は、AND回路501の出力が“0”であるため“1”を出力する。そして、データw0dy, LRUがともに“1”であるため、AND回路505の入力は全て“1”となる。従って、AND回路505は“1”を出力する。これにより、図17に示されるように、サイクル222において、way0コピーバック信号CB0が“1”となる。またAND回路508は、データw1dyが“0”であるため“0”を出力する。これにより、図18に示されるように、サイクル206において、way1コピーバック信号CB1は“0”となる。

【0136】

OR回路509は、AND回路505の出力が“1”であるため“1”を出力し、OR回路510は、AND回路503, 508の出力がともに“0”であるため“0”を出力する。従って、セクタ511は、way0リードデータw0RDを選択する。その結果、図19に示されるように、サイクル222において、リードデータRDとして“D04”がバス制御回路3に出力される。

【0137】

AND回路505の出力が“1”、AND回路508の出力が“0”であるため、セクタ514は、値“T04”のway0タグリードデータw0TRDを出力する。連結器515は、セクタ514の出力値“T04”と、フリップフロップ513が出力する、キャッシュアドレスADR中のインデックスとを連結して、コピーバックアドレスCADRとしてバス制御回路3に出力する。ここで、サイクル222で出力されるコピーバックアドレスCADRの値を“C4”とする。

## 【0138】

バス制御回路3は、サイクル222において、way0コピーバック信号CB0が“1”であることを認識する。従ってバス制御回路3は、コピーバックアドレスCADRをメインメモリ4のアドレスとして、受け取ったデータ“D04”をメインメモリ4の所定のブロックに書き込む。なお、この書き込み動作は「コピーバック」と呼ばれる。

## 【0139】

またバス制御回路3は、way0ヒット信号HIT0及びway1ヒット信号HIT1がともに“0”であるため、アドレス値“A4”で示されるメインメモリ4の所定のブロックからデータを読み出す。なお、このときにメインメモリ4から読み出されたデータの値を“DW4”とする。

## 【0140】

サイクル223～226は、バス制御回路3による上述のメインメモリ4へのリードアクセス期間であり、この期間中には、キャッシュメモリ装置10へのアクセスは実行されない。

## 【0141】

バス制御回路3は、メインメモリ4からデータ“DW4”を読み出すと、サイクル227において、キャッシュアドレスADRの値を“A4”として、データ“DW4”を、way0データメモリ603に書き込む。

## 【0142】

更にサイクル227において、バス制御回路3は、キャッシュステータス及びキャッシュメモリ6内のタグTGの更新を行う。バス制御回路3はway0デー



タメモリ 6 0 3 にデータ “DW 4” を書き込むため、LRU ビットを “0” に更新する必要がある。また、way 0 データメモリ 6 0 3 に書き込まれるデータはメインメモリ 4 のコピーデータであるため、way 0 \_dirty ビットを “0” に更新する必要がある。従って、バス制御回路 3 は、バンク n のキャッシュメモリ 6 のステータスメモリ 6 0 0 に、キャッシュステータスとして “1 1 0 0 0” を書き込む。

## 【 0 1 4 3 】

以上のようにして、リード動作時にコピーバックが行われる。

## 【 0 1 4 4 】

次に、図 2 0，2 1 を参照して、異なるキャッシュメモリ 6 に連続してアクセスする場合のマイクロプロセッサ 1 の動作について説明する。

## 【 0 1 4 5 】

図 2 0，2 1 は、信号 CSIZE の値を “1 1” に設定し、各キャッシュメモリ 6 のステータスメモリ 6 0 0 に対してリードアクセスする場合の動作タイミングを示している。まずバス制御回路 3 は、サイクル 3 0 2 において、値 “A 1 0” のキャッシュアドレス ADR を出力し、同時にキャッシュメモリ制御信号 CMCNT を出力する。

## 【 0 1 4 6 】

このとき、図 2 0 に示されるように、信号 BID は “0 0 0” を示し、キャッシュメモリ制御信号 CMCNT 中のステータスアクセス要求信号は “1” を示している。従って、バンク制御回路 7 のバンクデコーダ 7 0 0 は、バンク 0 選択信号 B0SEL のみを “1” とする。その結果、キャッシュメモリ制御信号 CMCNT が、バンク 0 制御信号 B0CNT として出力される。そのため、図 2 0 に示されるように、サイクル 3 0 2 において、バンク 0 ステータスアクセス要求信号 B0SREQ のみが “1” となっている。なお、図示していないが、サイクル 3 0 2 においては、バンク 0 ステータスライト制御信号 B0SWCNT は “0” である。

## 【 0 1 4 7 】

バンク 0 ステータスアクセス要求信号 B0SREQ が “1”、バンク 0 ステータス

タスライト制御信号B 0 S W C N Tが“0”となると、サイクル3 0 3において、バンク0のキャッシュメモリ6のステータスメモリ6 0 0からデータが読み出され、バンク0ステータスリードデータB 0 S R Dとしてバンク制御回路7に入力される。なお、このバンク0ステータスリードデータB 0 S R Dの値を“R D 0”とする。

## 【0 1 4 8】

そして、バンク0選択信号B 0 S E Lのみが“1”を示すため、バンク制御回路7のフリップフロップ7 0 9～7 1 6の出力は、フリップフロップ7 0 9のみが“1”を示す。従って、図2 1に示されるように、サイクル3 0 3において、バンク0ステータスリードデータB 0 S R Dが、ステータスリードデータS R Dとしてバス制御回路3に入力される。

## 【0 1 4 9】

また、サイクル3 0 3では、図2 0に示されるように、バス制御回路3は、値“A 1 1”のキャッシュアドレスA D Rを出力し、同時にキャッシュメモリ制御信号C M C N Tを出力する。

## 【0 1 5 0】

このとき、信号B I Dは“0 0 1”を示し、キャッシュメモリ制御信号C M C N T中のステータスアクセス要求信号は“1”を示している。従って、バンク制御回路7のバンクデコーダ7 0 0は、バンク1選択信号B 1 S E Lのみを“1”とする。その結果、キャッシュメモリ制御信号C M C N Tが、バンク1制御信号B 1 C N Tとして出力される。そのため、図2 0に示されるように、サイクル3 0 3において、バンク1ステータスアクセス要求信号B 1 S R E Qのみが“1”となっている。なお、図示していないが、サイクル3 0 3においては、バンク1ステータスライト制御信号B 1 S W C N Tは“0”である。

## 【0 1 5 1】

バンク1ステータスアクセス要求信号B 1 S R E Qが“1”、バンク1ステータスライト制御信号B 1 S W C N Tが“0”となると、サイクル3 0 4において、バンク1のキャッシュメモリ6のステータスメモリ6 0 0からデータが読み出され、バンク1ステータスリードデータB 1 S R Dとしてバンク制御回路7に入

力される。なお、このバンク 1 ステータスリードデータ B 1 S R D の値を “R D 1” とする。

【 0 1 5 2 】

バンク 1 選択信号 B 1 S E L のみが “1” を示すため、バンク制御回路 7 のフリップフロップ 7 0 9 ～ 7 1 6 の出力は、フリップフロップ 7 1 0 のみが “1” を示す。従って、図 2 1 に示されるように、サイクル 3 0 4 において、バンク 1 ステータスリードデータ B 1 S R D が、ステータスリードデータ S R D としてバス制御回路 3 に入力される。

【 0 1 5 3 】

また、サイクル 3 0 4 では、図 2 0 に示されるように、バス制御回路 3 は、値 “A 1 2” のキャッシュアドレス A D R を出力し、同時にキャッシュメモリ制御信号 C M C N T を出力する。

【 0 1 5 4 】

このとき、信号 B I D は “0 1 0” を示し、キャッシュメモリ制御信号 C M C N T 中のステータスアクセス要求信号は “1” を示している。従って、バンク制御回路 7 のバンクデコーダ 7 0 0 は、バンク 2 選択信号 B 2 S E L のみを “1” とする。その結果、キャッシュメモリ制御信号 C M C N T が、バンク 2 制御信号 B 2 C N T として出力される。そのため、図 2 0 に示されるように、サイクル 3 0 4 において、バンク 2 ステータスアクセス要求信号 B 2 S R E Q のみが “1” となっている。なお、図示していないが、サイクル 3 0 4 においては、バンク 2 ステータスライト制御信号 B 2 S W C N T は “0” である。

【 0 1 5 5 】

バンク 2 ステータスアクセス要求信号 B 1 S R E Q が “1”、バンク 2 ステータスライト制御信号 B 2 S W C N T が “0” となると、サイクル 3 0 5 において、バンク 2 のキャッシュメモリ 6 のステータスメモリ 6 0 0 からデータが読み出され、バンク 2 ステータスリードデータ B 2 S R D としてバンク制御回路 7 に入力される。なお、このバンク 2 ステータスリードデータ B 1 S R D の値を “R D 2” とする。

【 0 1 5 6 】

そして、バンク 2 選択信号 B 2 S E L のみが “ 1 ” を示すため、バンク制御回路 7 のフリップフロップ 7 0 9 ～ 7 1 6 の出力は、フリップフロップ 7 1 1 のみが “ 1 ” を示す。従って、図 2 1 に示されるように、サイクル 3 0 5 において、バンク 2 ステータスリードデータ B 2 S R D が、ステータスリードデータ S R D としてバス制御回路 3 に入力される。

## 【 0 1 5 7 】

このように、バンク 0 ～ 7 のキャッシュメモリ 6 のステータスメモリ 6 0 0 が順にリードアクセスされ、図 2 1 に示されるように、ステータスリードデータ S R D として、バンク 0 ステータスリードデータ B 0 S R D ～ バンク 7 ステータスリードデータ B 7 S R D が順にバス制御回路 3 に入力される。

## 【 0 1 5 8 】

以上の説明では、バンク制御回路 7 に 8 つのキャッシュメモリ 6 を接続していたが、最大でも 8 K バイトのキャッシュ容量しか必要でなければ、図 2 2 に示されるように、バンク 0 ～ 3 までの 4 つのキャッシュメモリ 6 をバンク制御回路 7 に接続しても良い。この場合には、信号 C S I Z E の値を “ 0 0 ” 、 “ 0 1 ” 、 “ 1 0 ” のどれかに設定することによって、2 K バイト、4 K バイトあるいは 8 K バイトのキャッシュ容量を実現できる。

## 【 0 1 5 9 】

また、最大でも 4 K バイトのキャッシュ容量しか必要でなければ、図 2 3 に示されるように、バンク 0 , 1 の 2 つのキャッシュメモリ 6 をバンク制御回路 7 に接続しても良い。この場合には、信号 C S I Z E の値を “ 0 0 ” 、 “ 0 1 ” のどちらに設定することによって、2 K バイトあるいは 4 K バイトのキャッシュ容量を実現できる。

## 【 0 1 6 0 】

また、2 K バイトのキャッシュ容量しか必要でなければ、図 2 4 に示されるように、バンク 0 のキャッシュメモリ 6 のみをバンク制御回路 7 に接続しても良い。この場合には、信号 C S I Z E の値を “ 0 0 ” に固定することによって、2 K バイトのキャッシュ容量を実現できる。

## 【 0 1 6 1 】

なお、バンク制御回路 7 に 8 つ未満のキャッシュメモリ 6 を接続する場合には、バンク 0 リードデータ B 0 R D からバンク 7 リードデータ B 7 R D の入力端子のうち、キャッシュメモリ 6 と接続されない入力端子は、バンク制御回路 7 の動作の安定性を向上するために電位固定する方が望ましい。

#### 【 0 1 6 2 】

このように、本実施の形態 1 に係るキャッシュメモリ装置 1 0 では、複数のキャッシュメモリ 6 へのアクセスを制御するバンク制御回路 7 を設けているため、本実施の形態 1 のように、キャッシュ容量に関わらず、キャッシュアドレス A D R において、タグ T G 及びインデックス I D が占めるビット位置を固定することができる。

#### 【 0 1 6 3 】

従来技術では、本実施の形態 1 に係るバンク制御回路 7 のように、複数のキャッシュメモリ 6 へのアクセスを制御することができる回路を備えていなかったため、キャッシュ容量を増加させる場合には、複数のキャッシュメモリ 6 を設けることができず、キャッシュメモリ 6 の w a y 0 データメモリ 6 0 3 及び w a y 1 データメモリ 6 0 4 のメモリ容量を増加させる必要があった。

#### 【 0 1 6 4 】

w a y 0 データメモリ 6 0 3 及び w a y 1 データメモリ 6 0 4 は上述のようにキャッシュアドレス中のインデックス I D をアドレスとしているため、それらのメモリ容量を増加させるためには、キャッシュアドレス A D R 中のインデックス I D のビット数を増加させて、アドレス幅を増やす必要があった。更に、キャッシュアドレスのビット数はメインメモリ 4 のアドレス幅に依存するため、インデックス I D のビット数が増加すると、タグ T G のビット数は減少する。

#### 【 0 1 6 5 】

従って、キャッシュ容量を増加させた場合には、インデックス I D を利用するキャッシュ周辺回路 5 のフリップフロップ 5 1 3 や、タグ T G を利用するフリップフロップ 5 1 2、比較器 5 0 0、5 0 2 及びセクタ 5 1 4 や、タグ T G 及びインデックス I D を利用する連結器 5 1 5 を設計変更する必要があった。特に、比較器 5 0 0、5 0 2 の設計変更に時間を要していた。

## 【 0 1 6 6 】

本実施の形態 1 では、キャッシュメモリ装置 1 0 にバンク制御回路 7 を設けることによって、複数のキャッシュメモリ 6 を搭載することが可能になった。その結果、本実施の形態 1 のように、キャッシュメモリ 6 の way 0 データメモリ 6 0 3 及び way 1 データメモリ 6 0 4 のメモリ容量を変更することなく、キャッシュ容量を変更することができるため、キャッシュアドレス A D R におけるタグ T G 及びインデックス I D のビット位置を常に固定することができる。従って、キャッシュ容量を変更した場合であっても、キャッシュ周辺回路 5 を設計変更する必要がなくなり、キャッシュ容量を変更する際に必要となる設計変更を低減できる。

## 【 0 1 6 7 】

また、上述の特許文献 1 に記載の技術では、キャッシュメモリ装置の way 数、言い換えれば連想度を変更することによってキャッシュメモリ装置のキャッシュ容量を変更し、これによって、キャッシュ容量を変更する際に必要な設計変更を低減している。しかしながら、キャッシュ容量の変更に、特許文献 1 に記載の技術を採用した場合には以下の問題を生じる。

## 【 0 1 6 8 】

本実施の形態 1 では、ミスヒット時のデータ置換方式に、データ参照の時間的局所性を利用する L R U 方式を採用しているが、この L R U 方式を採用した場合には、一般的に、way 数が増加すると履歴の保存数が増加するため、短時間でデータ置換を行うことが困難になる。従って、特許文献 1 に記載の技術のように、way 数の変更によってキャッシュ容量を変更する場合には、キャッシュ容量が増加するにつれてキャッシュ性能が低下するため、データ置換方式に、L R U 方式を採用することが困難になる。

## 【 0 1 6 9 】

そこで、特許文献 1 に記載の技術では、データ置換方式に、L R U 方式ではなく、ポインタレジスタと呼ばれる、最新のアクセスが行われたキャッシュ単位を示すレジスタを利用した制御方式を採用している。しかしながら、この制御方式では、ポインタレジスタが示す値で比較器判定結果をマスクしているため、本来

ヒットすべきアドレスでミスヒットとなる場合があり、ヒット率が低下する。

【 0 1 7 0 】

更に、本来ヒットすべきアドレスでミスヒットとなるため、既に、あるキャッシュ単位に書き込まれている有効データが、再度他のキャッシュ単位に書き込まれ、複数のキャッシュ単位に同じカラムアドレスの内容が書き込まれることになる。従って、メモリがキャッシュメモリとして有効利用されない。なお、特許文献 1 におけるキャッシュメモリが本実施の形態 1 における w a y 0 データメモリ 6 0 3 及び w a y 1 データメモリ 6 0 4 に相当し、特許文献 1 におけるキャッシュ単位 ( U N I T ) 数及びカラムアドレスが、本実施の形態 1 における w a y 数及びインデックスにそれぞれに相当する。

【 0 1 7 1 】

このように、特許文献 1 に記載の技術では、キャッシュ性能を犠牲にしながら、キャッシュ容量の変更の容易化を実現している。

【 0 1 7 2 】

一方、本実施の形態 1 では、バンク制御回路 7 の働きによって、キャッシュメモリ 6 の数を変更することでキャッシュ容量を変更することが可能になるため、w a y 数を変更する必要が無い。従って、本実施の形態 1 のように、データ置換方式に L R U 方式を採用することができ、キャッシュ性能を犠牲にすることなく、キャッシュ容量の変更の容易化を実現している。

【 0 1 7 3 】

また本実施の形態 1 では、バンク制御回路 7 が、キャッシュ容量を示す信号 C S I Z E に基づいて、キャッシュメモリ 6 を選択することができるため、本実施の形態 1 のように、信号 C S I Z E の値を変化させることによって、簡単に、複数種類のキャッシュ容量を実現することができる。従って、キャッシュ周辺回路 5 を設計変更する必要がなく、キャッシュ容量変更の際に必要な設計変更を低減できる。

【 0 1 7 4 】

また、バンク制御回路 7 の働きによって、1 回のリードアクセスまたは 1 回のライトアクセスでは、1 つのキャッシュメモリ 6 のみにアクセスされるため、キ

キャッシュメモリ装置 1 0 の低消費電力化が図られる。

【 0 1 7 5 】

また、キャッシュメモリ装置 1 0 が備える複数のキャッシュメモリ 6 は、メモリ容量が互いに同じであるため、本実施の形態 1 のように、互いに同じ回路で構成することができる。従って、複数のキャッシュメモリ 6 のメモリ容量が互いに異なる場合よりも、キャッシュメモリ装置 1 0 の設計が容易に行える。

【 0 1 7 6 】

また、本実施の形態 1 のように、マイクロプロセッサが、バンク制御回路 7 を有するキャッシュメモリ装置 1 0 を備えることによって、キャッシュ容量の異なるマイクロプロセッサを容易に得ることができる。

【 0 1 7 7 】

なお、本実施の形態 1 に係るバンク制御回路 7 は、8 つのキャッシュメモリ 6 と接続可能であったが、最大でも 8 K バイトのキャッシュ容量しか必要で無い場合には、図 2 5 に示されるように、バンク 0 ～ 3 のキャッシュメモリ 6 を設けて、バンク制御回路 7 の替わりに 4 つのキャッシュメモリ 6 と接続可能なバンク制御回路 7 b を設けても良い。

【 0 1 7 8 】

また、最大 4 K バイトのキャッシュ容量しか必要で無い場合には、図 2 6 に示されるように、バンク 0, 1 のキャッシュメモリ 6 を設けて、バンク制御回路 7 の替わりに 2 つのキャッシュメモリ 6 と接続可能なバンク制御回路 7 c を設けても良い。

【 0 1 7 9 】

図 2 7 はバンク制御回路 7 b の構成を示す回路図であって、図 2 8 はバンク制御回路 7 c の構成を示す回路図である。図 2 7 に示されるように、バンク制御回路 7 b は、バンクデコーダ 7 0 0 b と、上述の AND 回路 7 0 1 ～ 7 0 4 と、上述のフリップフロップ 7 0 9 ～ 7 1 2 と、セレクタ 7 1 7 b とを備えている。

【 0 1 8 0 】

バンクデコーダ 7 0 0 b は、信号 C S I Z E 及び信号 B I D に基づいて、バンク 0 選択信号 B 0 S E L ～ バンク 3 選択信号 B 3 S E L を出力する。



## 【 0 1 8 1 】

図 2 9 は、信号 C S I Z E と、信号 B I D と、バンク n 選択信号 B n S E L ( n = 0 ~ 3 ) との関係を示す図である。図 2 9 に示されるように、信号 C S I Z E が “ 0 0 ” のとき、信号 B I D の値に関わらず、バンク 0 選択信号 B 0 S E L のみが常に “ 1 ” となり、バンク 1 選択信号 B 1 S E L ~ バンク 3 選択信号 B 3 S E L は常に “ 0 ” である。信号 C S I Z E が “ 0 1 ” の場合には、信号 B I D の最下位ビットが “ 0 ” のときにはバンク 0 選択信号 B 0 S E L のみが “ 1 ” となり、“ 1 ” のときにはバンク 1 選択信号 B 1 S E L のみが “ 1 ” となる。

## 【 0 1 8 2 】

また、信号 C S I Z E が “ 1 0 ” の場合には、信号 B I D の下位 2 ビットが “ 0 0 ” のときにはバンク 0 選択信号 B 0 S E L のみが “ 1 ” となり、“ 0 1 ” のときにはバンク 1 選択信号 B 1 S E L のみが “ 1 ” となり、“ 1 0 ” のときにはバンク 2 選択信号 B 2 S E L のみが “ 1 ” となり、“ 1 1 ” のときにはバンク 3 選択信号 B 3 S E L のみが “ 1 ” となる。なお、信号 C S I Z E が “ 1 1 ” の場合には、バンク 0 選択信号 B 0 S E L ~ バンク 3 選択信号 B 3 S E L のそれぞれの値は不定である。

## 【 0 1 8 3 】

A N D 回路 7 0 1 ~ 7 0 4 は、バンク 0 選択信号 B 0 S E L ~ バンク 3 選択信号 B 3 S E L とキャッシュメモリ制御信号 C M C N T との論理積をそれぞれ演算して、バンク 0 制御信号 B 0 C N T ~ バンク 3 制御信号 B 3 C N T としてそれぞれ出力する。

## 【 0 1 8 4 】

フリップフロップ 7 0 9 ~ 7 1 2 は、バンク 0 選択信号 B 0 S E L ~ バンク 3 選択信号 B 3 S E L がそれぞれ入力されている。そして、フリップフロップ 7 0 9 ~ 7 1 2 は、図示しないクロック信号 C L K も入力されており、そのクロック信号 C L K の 1 クロックサイクル分、入力信号を遅延させて出力する。

## 【 0 1 8 5 】

セレクタ 7 1 7 b は、バンク 0 リードデータ B 0 R D ~ バンク 3 リードデータ B 3 R D と、フリップフロップ 7 0 9 ~ 7 1 2 の出力とが入力されている。セレ

クタ 7 1 7 b は、フリップフロップ 7 0 9 ~ 7 1 2 の出力のうち、フリップフロップ 7 0 9 の出力が排他的に “ 1 ” である場合には、バンク 0 リードデータ B 0 R D をメモリリードデータ M R D として出力し、フリップフロップ 7 1 0 の出力が排他的に “ 1 ” である場合には、バンク 1 リードデータ B 1 R D をメモリリードデータ M R D として出力し、フリップフロップ 7 1 1 の出力が排他的に “ 1 ” である場合には、バンク 2 リードデータ B 2 R D をメモリリードデータ M R D として出力し、フリップフロップ 7 1 2 の出力が排他的に “ 1 ” である場合には、バンク 3 リードデータ B 3 R D をメモリリードデータ M R D として出力する。

## 【 0 1 8 6 】

なお、フリップフロップ 7 0 9 ~ 7 1 2 の出力がすべて “ 0 ” 、あるいは 2 つ以上の出力が “ 1 ” となる場合には、セクタ 7 1 7 b の出力は不定となる。

## 【 0 1 8 7 】

このように、バンク 0 ~ 3 のキャッシュメモリ 6 しか搭載しない場合には、バンク制御回路 7 の替わりに、4 つのキャッシュメモリ 6 と接続可能なバンク制御回路 7 b を設けても良い。

## 【 0 1 8 8 】

図 2 6 のバンク制御回路 7 c は、図 2 8 に示されるように、バンクデコーダ 7 0 0 c と、上述の AND 回路 7 0 1 , 7 0 2 と、上述のフリップフロップ 7 0 9 , 7 1 0 と、セクタ 7 1 7 c とを備えている。

## 【 0 1 8 9 】

バンクデコーダ 7 0 0 c は、信号 C S I Z E 及び信号 B I D に基づいて、バンク 0 選択信号 B 0 S E L , バンク 1 選択信号 B 1 S E L を出力する。

## 【 0 1 9 0 】

図 3 0 は、信号 C S I Z E と、信号 B I D と、バンク n 選択信号 B n S E L ( n = 0 , 1 ) との関係を示す図である。図 3 0 に示されるように、信号 C S I Z E が “ 0 0 ” のとき、信号 B I D の値に関わらず、バンク 0 選択信号 B 0 S E L のみが常に “ 1 ” となり、バンク 1 選択信号 B 1 S E L は常に “ 0 ” である。信号 C S I Z E が “ 0 1 ” の場合には、信号 B I D の最下位ビットが “ 0 ” のときにはバンク 0 選択信号 B 0 S E L のみが “ 1 ” となり、“ 1 ” のときにはバンク

1 選択信号 B 1 S E L のみが “ 1 ” となる。

【 0 1 9 1 】

なお、信号 C S I Z E が “ 1 0 ” あるいは “ 1 1 ” の場合には、バンク 0 選択信号 B 0 S E L 及びバンク 1 選択信号 B 1 S E L のそれぞれの値は不定である。

【 0 1 9 2 】

A N D 回路 7 0 1, 7 0 2 は、バンク 0 選択信号 B 0 S E L 及びバンク 1 選択信号 B 1 S E L とキャッシュメモリ制御信号 C M C N T との論理積をそれぞれ演算して、バンク 0 制御信号 B 0 C N T 及びバンク 1 制御信号 B 1 C N T としてそれぞれ出力する。

【 0 1 9 3 】

フリップフロップ 7 0 9, 7 1 0 は、バンク 0 選択信号 B 0 S E L 及びバンク 1 選択信号 B 1 S E L がそれぞれ入力されている。そして、フリップフロップ 7 0 9, 7 1 0 は、図示しないクロック信号 C L K も入力されており、そのクロック信号 C L K の 1 クロックサイクル分、入力信号を遅延させて出力する。

【 0 1 9 4 】

セクタ 7 1 7 c は、バンク 0 リードデータ B 0 R D 及びバンク 1 リードデータ B 1 R D と、フリップフロップ 7 0 9, 7 1 0 の出力とが入力されている。セクタ 7 1 7 c は、フリップフロップ 7 0 9, 7 1 0 の出力がそれぞれ “ 1 ”, “ 0 ” のときには、バンク 0 リードデータ B 0 R D をメモリリードデータ M R D として出力し、フリップフロップ 7 0 9, 7 1 0 の出力がそれぞれ “ 0 ”, “ 1 ” のときには、バンク 1 リードデータ B 1 R D を出力する。なお、フリップフロップ 7 0 9, 7 1 0 の出力がともに “ 0 ”、あるいはともに “ 1 ” の場合には、セクタ 7 1 7 c の出力は不定となる。

【 0 1 9 5 】

このように、バンク 0, 1 のキャッシュメモリ 6 しか搭載しない場合には、バンク制御回路 7 の代わりに、2 つのキャッシュメモリ 6 と接続可能なバンク制御回路 7 c を設けても良い。

【 0 1 9 6 】

以上のように、キャッシュメモリ装置 1 0 に搭載するキャッシュメモリ 6 の個

数に応じてバンク制御回路を変更することによって、マイクロプロセッサ 1 の回路規模を低減できる。

#### 【 0 1 9 7 】

また、本実施の形態 1 に係るキャッシュメモリ装置 1 0 では、キャッシュアドレス A D R 中のタグ T G の全ビットを、各キャッシュメモリ 6 のタグメモリ 6 1 2 に記憶させていた。しかしながら、搭載しているキャッシュメモリ 6 を全てを使用する場合には、言い換えれば、バンク制御回路がすべてのキャッシュメモリ 6 を選択する場合には、各キャッシュメモリ 6 のタグメモリ 6 1 2 に記憶させるデータの一部を固定値にすることができる。

#### 【 0 1 9 8 】

図 6 に示されるように、バンク制御回路 7 がすべてのキャッシュメモリ 6 を選択する場合には、つまり信号 C S I Z E が “ 1 1 ” を示す場合には、タグ T G の一部である信号 B I D が “ 0 0 0 ” のときには、バンク 0 選択信号 B 0 S E L のみが “ 1 ” となり、バンク 0 のキャッシュメモリ 6 のみにアクセスされる。また、信号 B I D が “ 0 0 1 ” のときには、バンク 1 選択信号 B 1 S E L のみが “ 1 ” となり、バンク 1 のキャッシュメモリ 6 のみがアクセスされる。

#### 【 0 1 9 9 】

このように、バンク制御回路 7 がすべてのキャッシュメモリ 6 を選択する場合には、信号 B I D と、アクセスされるキャッシュメモリ 6 のバンクの番号とは一対一で対応している。従って、各キャッシュメモリ 6 のタグメモリ 6 1 2 において、タグ T G に含まれる信号 B I D が書き込まれるメモリ領域に、信号 B I D に相当する各キャッシュメモリ 6 に固有の固定データを記憶することができる。

#### 【 0 2 0 0 】

具体的には、タグメモリ 6 1 2 の各アドレスにおけるメモリ領域の下位 3 ビットに、バンク 0 のキャッシュメモリ 6 では “ 0 0 0 ” を記憶させ、バンク 1 のキャッシュメモリ 6 では “ 0 0 1 ” を記憶させる。また、バンク 2 のキャッシュメモリ 6 では “ 0 1 0 ” を記憶させ、バンク 3 のキャッシュメモリ 6 では “ 0 1 1 ” を記憶させる。また、バンク 4 のキャッシュメモリ 6 では “ 1 0 0 ” を記憶させ、バンク 5 のキャッシュメモリ 6 では “ 1 0 1 ” を記憶させる。また、バンク

6のキャッシュメモリ6では“110”を記憶させ、バンク7のキャッシュメモリ6では“111”を記憶させる。

#### 【0201】

このように、各キャッシュメモリ6のタグメモリが、キャッシュメモリ6に固有の固定データを記憶することによって、タグメモリ612にタグTGを書き込む際のビット数を低減することができる。つまり、22ビットで構成されるタグTGの全データを書き込む必要はなく、タグTGの上位19ビットのデータ、言い換えれば、キャッシュアドレスADRの0ビット目～18ビット目のデータのみを書き込むだけで良い。従って、キャッシュメモリ6とバス制御回路3との接続配線を簡素化できる。

#### 【0202】

なお、キャッシュメモリ6のタグメモリ612に固定データを記憶させる方法としては、例えば、タグメモリ612のデータ入力端子のうち、入力データの下位3ビットが入力されるデータ入力端子を電位固定し、その他のデータ入力端子にタグTGの上位19ビットを入力する方法を採用しても良い。

#### 【0203】

また図31に示されるように、本実施の形態1に係るキャッシュメモリ装置10に、信号CSIZEに基づいて各キャッシュメモリ6への電源供給を制御する電源制御回路8を設けても良い。

#### 【0204】

図32は電源制御回路8の構成を示す回路図である。図32に示されるように、電源制御回路8は、AND回路800と、インバータ801～803と、OR回路804と、トランジスタスイッチ805、806とを備えている。なお、信号CSIZEの上位ビット及び下位ビットの信号を、それぞれ、信号CSIZE[0]、CSIZE[1]と呼ぶ。

#### 【0205】

AND回路800は、信号CSIZE[0]と信号CSIZE[1]との論理積を演算して出力する。インバータ801はAND回路800の出力を反転して出力する。

## 【 0 2 0 6 】

インバータ 8 0 2 は信号 C S I Z E [ 0 ] を反転して出力する。O R 回路 8 0 4 は、信号 C S I Z E [ 0 ] と信号 C S I Z E [ 1 ] との論理和を演算して出力する。インバータ 8 0 3 は O R 回路 8 0 4 の出力を反転して出力する。

## 【 0 2 0 7 】

トランジスタスイッチ 8 0 5, 8 0 6 は、バンク 1 ～ 7 のキャッシュメモリ 6 のそれぞれに対応して設けられている。そして、各トランジスタスイッチ 8 0 5 には、キャッシュメモリ 6 のプラスの電源電位となる電源電位 V D D が入力されている。また、各トランジスタスイッチ 8 0 6 には、キャッシュメモリ 6 のマイナスの電源電位となる接地電位 G N D が入力されている。

## 【 0 2 0 8 】

バンク 4 ～ 7 のキャッシュメモリ 6 に対応して設けられたトランジスタスイッチ 8 0 5 のそれぞれは、インバータ 8 0 1 が “ 0 ” を出力するとオン状態になり、対応するキャッシュメモリ 6 に電源電位 V D D を供給する。そして、インバータ 8 0 1 が “ 1 ” を出力するとオフ状態になり、対応するキャッシュメモリ 6 への電源電位 V D D の供給を停止する。

## 【 0 2 0 9 】

バンク 4 ～ 7 のキャッシュメモリ 6 に対応して設けられたトランジスタスイッチ 8 0 6 のそれぞれは、A N D 回路 8 0 0 が “ 1 ” を出力するとオン状態となり、対応するキャッシュメモリ 6 に接地電位 G N D を供給する。そして、A N D 回路 8 0 0 が “ 0 ” を出力するとオフ状態となり、対応するキャッシュメモリ 6 への接地電位 G N D の供給を停止する。

## 【 0 2 1 0 】

バンク 2, 3 に対応して設けられたトランジスタスイッチ 8 0 5 のそれぞれは、インバータ 8 0 2 が “ 0 ” を出力するとオン状態となり、対応するキャッシュメモリ 6 に電源電位 V D D を供給する。そして、インバータ 8 0 2 が “ 1 ” を出力するとオフ状態となり、対応するキャッシュメモリ 6 への電源電位 V D D の供給を停止する。

## 【 0 2 1 1 】

バンク 2, 3 に対応して設けられたトランジスタスイッチ 8 0 6 は、信号 C S I Z E [0] が “1” を示すとオン状態となり、対応するキャッシュメモリ 6 に接地電位 G N D を供給する。そして、信号 C S I Z E [1] が “0” を示すとオフ状態となり、対応するキャッシュメモリ 6 への接地電位 G N D の供給を停止する。

## 【 0 2 1 2 】

バンク 1 に対応して設けられたトランジスタスイッチ 8 0 5 は、インバータ 8 0 3 が “0” を出力するとオン状態となり、バンク 1 のキャッシュメモリ 6 に電源電位 V D D を供給する。そして、インバータ 8 0 3 が “1” を出力するとオフ状態となり、バンク 1 のキャッシュメモリ 6 への電源電位 V D D の供給を停止する。

## 【 0 2 1 3 】

バンク 1 に対応して設けられたトランジスタスイッチ 8 0 6 は、O R 回路 8 0 4 が “1” を出力するとオン状態となり、バンク 1 のキャッシュメモリ 6 に接地電位 G N D を供給する。そして、O R 回路 8 0 4 が “0” を出力するとオフ状態となり、バンク 1 のキャッシュメモリ 6 への接地電位 G N D の供給を停止する。

## 【 0 2 1 4 】

なお、バンク 0 のキャッシュメモリ 6 には、常時電源電位 V D D と接地電位 G N D が供給されている。

## 【 0 2 1 5 】

このような電源制御回路 8 を設けることによって、バンク制御回路 7 が選択したキャッシュメモリ 6 に電源が供給され、選択されなかったキャッシュメモリ 6 には電源が供給されない。具体的には、信号 C S I Z E が “0 0” を示すと、バンク制御回路 7 はバンク 0 のキャッシュメモリ 6 を選択する。このとき、電源制御回路 8 の A N D 回路 8 0 0 及び O R 回路 8 0 4 の出力はともに “0” を示し、インバータ 8 0 1 ～ 8 0 3 の各出力は “1” を示す。従って、バンク 1 ～ 7 のキャッシュメモリ 6 へは電源電位 V D D 及び接地電位 G N D が供給されない。その結果、バンク制御回路 7 によって選択されたバンク 0 のキャッシュメモリ 6 のみに電源が供給される。

## 【 0 2 1 6 】

また、信号C S I Z Eが“0 1”を示すと、バンク制御回路7はバンク0, 1のキャッシュメモリ6を選択する。このとき、電源制御回路8のAND回路8 0 0及びインバータ8 0 3の出力はともに“0”を示し、インバータ8 0 1, 8 0 2及びOR回路8 0 4の各出力は“1”を示す。従って、バンク2～7のキャッシュメモリ6へは電源電位V D D及び接地電位G N Dが供給されない。その結果、バンク制御回路7によって選択されたバンク0, 1のキャッシュメモリ6のみに電源が供給される。

## 【0 2 1 7】

また、信号C S I Z Eが“1 0”を示すと、バンク制御回路7はバンク0～3のキャッシュメモリ6を選択する。このとき、電源制御回路8のAND回路8 0 0及びインバータ8 0 2, 8 0 3の各出力は“0”を示し、インバータ8 0 1及びOR回路8 0 4の出力はともに“1”を示す。従って、バンク4～7のキャッシュメモリ6へは電源電位V D D及び接地電位G N Dが供給されない。その結果、バンク制御回路7によって選択されたバンク0～3のキャッシュメモリ6のみに電源が供給される。

## 【0 2 1 8】

また、信号C S I Z Eが“1 1”を示すと、バンク制御回路7はすべてのキャッシュメモリ6を選択する。このとき、電源制御回路8のインバータ8 0 1～8 0 3の各出力は“0”を示し、OR回路8 0 4の出力は“1”を示す。従って、バンク制御回路7によって選択されたすべてのキャッシュメモリ6に電源が供給される。

## 【0 2 1 9】

このように、キャッシュメモリ装置1 0に電源制御回路8を設けることによって、使用するキャッシュメモリ6だけに電源が供給されるため、キャッシュメモリ装置1 0の低消費電力化が図れる。

## 【0 2 2 0】

なお、図1に示すキャッシュメモリ装置1 0では、最大で4種類のキャッシュ容量を実現しているが、mビットの信号C S I Z E（mは整数）と、 $(2^m - 1)$ ビットの信号B I Dを使用して、最大で $2^m$ 種類のキャッシュ容量を実現する



ことができる。

#### 【 0 2 2 1 】

また、本実施の形態 1 では、バンク制御回路 7 のフリップフロップ 7 0 9 ~ 7 1 6 は、バンクデコーダ 7 0 0 のデータ出力とキャッシュメモリ 6 のデータ出力とを同期させるために設けられている。キャッシュメモリ 6 のデータ出力タイミングが本実施の形態 1 とは異なる場合には、フリップフロップ以外の回路を設けて、バンクデコーダ 7 0 0 のデータ出力とキャッシュメモリ 6 のデータ出力とを同期させても良い。

#### 【 0 2 2 2 】

また、本実施の形態 1 では、複数のキャッシュメモリ 6 のそれぞれの w a y 数（連想度）を 2 つ（w a y 0, w a y 1）としたが、同じ w a y 数であることを前提に複数のキャッシュメモリ 6 のそれぞれの w a y 数を 1 つにしても良いし、3 つ以上にしても良い。

#### 【 0 2 2 3 】

実施の形態 2.

図 3 3 は、本発明の実施の形態 2 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。本実施の形態 2 では、上述の実施の形態 1 に係るキャッシュメモリ装置 1 0 の設計方法を提供する。

#### 【 0 2 2 4 】

図 3 3 に示されるように、まずステップ s 1 において、N 1 個のキャッシュメモリ 6 と接続可能なバンク制御回路 7 と、キャッシュ周辺回路 5 とを設計する。

#### 【 0 2 2 5 】

N 1 の値は、ユーザーに提供するキャッシュ容量の範囲の最大値に応じて決定される。例えば、最大で 1 6 K バイトのキャッシュ容量をユーザーに提供するのであれば、キャッシュメモリ 6 のデータメモリ 6 3 4 の容量が 2 K バイトであるため、8 つのキャッシュメモリ 6 と接続可能なバンク制御回路 7 を設計する。

#### 【 0 2 2 6 】

そして、ステップ s 2 において、ユーザーがキャッシュ容量  $\alpha$  1 を要求すると、ステップ 3 において、ステップ 1 で設計したバンク制御回路 7 及びキャッシュ

周辺回路 5 と、 $N 2$  個のキャッシュメモリ 6 とを備えるキャッシュメモリ装置を設計する。ここで、 $N 2 \leq N 1$  であって、 $N 2$  の値はキャッシュ容量  $\alpha 1$  に応じて決定される。例えば、ユーザーが要求するキャッシュ容量  $\alpha 1$  が 8 K バイトであれば、 $N 2$  の値は “4” に設定される。

## 【 0 2 2 7 】

ステップ s 3 では、ステップ s 1 で設計されているバンク制御回路 7 とキャッシュ周辺回路 5 とを備えるキャッシュメモリ装置 1 0 を設計するため、ステップ s 3 では、バンク制御回路 7 とキャッシュ周辺回路 5 をあらためて設計する必要が無く、 $N 2$  個のキャッシュメモリ 6 を設計する。

## 【 0 2 2 8 】

そして、ステップ s 3 で設計されたキャッシュメモリ装置 1 0 を備えるマイクロプロセッサ 1 を設計し、キャッシュ容量  $\alpha 1$  のマイクロプロセッサ 1 をユーザーに提供する。

## 【 0 2 2 9 】

次にステップ s 4 において、ユーザーが要求するキャッシュ容量が変化し、ユーザーがキャッシュ容量  $\beta 1$  ( $\neq \alpha 1$ ) を要求すると、ステップ 5 において、ステップ 1 で設計したバンク制御回路 7 及びキャッシュ周辺回路 5 と、 $N 3$  個のキャッシュメモリ 6 とを備えるキャッシュメモリ装置を設計する。ここで、 $N 3 \leq N 1$  かつ  $N 3 \neq N 2$  であって、 $N 3$  の値はキャッシュ容量  $\beta 1$  に応じて決定される。例えば、ユーザーが要求するキャッシュ容量  $\beta 1$  が 4 K バイトであれば、 $N 3$  の値は “2” に設定される。

## 【 0 2 3 0 】

ステップ s 5 では、ステップ s 1 で設計されているバンク制御回路 7 とキャッシュ周辺回路 5 とを備えるキャッシュメモリ装置 1 0 を設計するため、ステップ s 5 では、バンク制御回路 7 とキャッシュ周辺回路 5 をあらためて設計する必要が無く、 $N 3$  個のキャッシュメモリ 6 を設計する。

## 【 0 2 3 1 】

そして、ステップ s 5 で設計されたキャッシュメモリ装置 1 0 を備えるマイクロプロセッサ 1 を設計し、キャッシュ容量  $\beta 1$  のマイクロプロセッサ 1 をユーザー

ーに提供する。

#### 【 0 2 3 2 】

このように、本実施の形態 2 に係るキャッシュメモリ装置の設計方法では、キャッシュ容量を変更する際には、予め設計されたバンク制御回路 7 を備えるキャッシュメモリ装置 1 0 を設計している。従って、キャッシュ容量を変更する際には、バンク制御回路 7 をあらためて別個に設計する必要がない。従って、キャッシュ容量を変更する際に必要な設計変更が少なくて済む。

#### 【 0 2 3 3 】

また、本実施の形態 2 では、キャッシュ容量を変更する際には、予め設計されたキャッシュ周辺回路 5 を更に備えるキャッシュメモリ装置を設計している。従って、キャッシュ容量を変更する際には、キャッシュ周辺回路 5 をもあらためて別個に設計する必要がない。従って、キャッシュ容量を変更する際に必要な設計変更を更に低減することができる。

#### 【 0 2 3 4 】

実施の形態 3.

図 3 4 は、本発明の実施の形態 3 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。本実施の形態 3 では、実施の形態 2 とは異なる、実施の形態 1 に係るキャッシュメモリ装置 1 0 の設計方法を提供する。

#### 【 0 2 3 5 】

図 3 4 に示されるように、ステップ s 1 1 において、ユーザーがキャッシュ容量  $\alpha 2$  を要求する。そして、ステップ s 1 2 において、一般的な C A D ツールを用いて、キャッシュメモリ装置 1 0 を設計する。以下にステップ s 1 2 について詳細に説明する。

#### 【 0 2 3 6 】

ステップ s 1 2 は、図 3 5 に示されるように、ステップ s 1 2 a ~ s 1 2 c まですべて構成されている。まずステップ s 1 2 a において、N 1 1 個のキャッシュメモリ 6 を設計する。N 1 1 の値は、ユーザーが要求するキャッシュ容量  $\alpha 2$  に応じて決定される。例えば、キャッシュ容量  $\alpha 2$  が 8 K バイトであれば、N 1 1 の値は “ 4 ” に設定される。

## 【 0 2 3 7 】

次に、ステップ s 1 2 b において、N 1 1 個のキャッシュメモリと接続可能なバンク制御回路 7 を設計し、ステップ s 1 2 c において、キャッシュ周辺回路 5 を設計する。

## 【 0 2 3 8 】

そして、ステップ s 1 2 で設計されたキャッシュメモリ装置 1 0 を備えるマイクロプロセッサ 1 を設計して、キャッシュ容量  $\alpha$  1 のマイクロプロセッサ 1 をユーザーに提供する。

## 【 0 2 3 9 】

次にステップ s 1 3 において、ユーザーが要求するキャッシュ容量が変化し、ユーザーがキャッシュ容量  $\beta$  2 ( $\neq \alpha$  2) を要求すると、ステップ 1 4 において、一般的な CAD ツールを用いてキャッシュメモリ装置 1 0 を設計する。以下にステップ s 1 4 について詳細に説明する。

## 【 0 2 4 0 】

ステップ s 1 4 は、図 3 6 に示されるように、ステップ s 1 4 a, s 1 4 b で構成されている。まずステップ s 1 4 a において、N 1 2 個のキャッシュメモリ 6 を設計する。ここで  $N 1 2 \neq N 1 1$  である。また、N 1 2 の値は、ユーザーが要求するキャッシュ容量  $\beta$  2 に応じて決定される。例えば、ユーザーが要求するキャッシュ容量  $\beta$  2 が 1 6 K バイトであれば、N 1 2 の値は “8” に設定される。また、キャッシュ容量  $\beta$  2 が 4 K バイトであれば、N 1 2 の値は “2” に設定される。

## 【 0 2 4 1 】

次に、ステップ s 1 4 b において、上述のステップ s 1 2 b で設計したバンク制御回路 7 を設計変更して、N 1 2 個のキャッシュメモリ 6 に接続可能なバンク制御回路 7 を設計する。例えば、 $N 1 1 = 4$ ,  $N 1 2 = 8$  であれば、上述の図 2 7 に示すバンク制御回路 7 を図 5 に示す回路に設計変更する。また、例えば、 $N 1 1 = 4$ ,  $N 1 2 = 2$  であれば、図 2 7 に示すバンク制御回路 7 を図 2 8 に示す回路に設計変更する。

## 【 0 2 4 2 】

このように、 $N12 \neq N11$ であれば、ステップ s 1 2 b で設計したバンク制御回路 7 を、 $N12$  個のキャッシュメモリ 6 に接続可能な回路に設計変更する。

【0 2 4 3】

また、ステップ s 1 4 で設計されるキャッシュメモリ装置 1 0 は、上述のステップ s 1 2 c で設計されたキャッシュ周辺回路 5 を備えている。従って、ステップ s 1 4 では、キャッシュ周辺回路 5 を設計する必要が無い。

【0 2 4 4】

そして、ステップ s 1 4 で設計されたキャッシュメモリ装置 1 0 を備えるマイクロプロセッサ 1 を設計し、キャッシュ容量  $\beta 2$  のマイクロプロセッサ 1 をユーザーに提供する。

【0 2 4 5】

このように本実施の形態 3 に係るキャッシュメモリ装置 1 0 の設計方法では、キャッシュ容量を変更する場合には、バンク制御回路 7 を設計変更するため、本実施の形態 3 のようにキャッシュ周辺回路 5 を設計変更する必要がないし、他の回路を追加する必要も無い。従って、キャッシュ容量を変更する際に必要な設計変更を低減できる。

【0 2 4 6】

また、本実施の形態 3 では、キャッシュ容量を変更する際には、既に設計されたキャッシュ周辺回路 5 を備えるキャッシュメモリ装置 1 0 を設計しているため、キャッシュ容量を変更する際には、キャッシュ周辺回路 5 を設計する必要がない。従って、キャッシュ容量を変更する際に必要な設計変更が少なくて済む。

【0 2 4 7】

なお、本実施の形態 3 では、 $N12 < N11$  の場合にも、バンク制御回路 7 を設計変更していたが、この場合には、上述の実施の形態 2 に係る設計方法のように、ステップ s 1 2 b で設計したバンク制御回路 7 を備えるキャッシュメモリ装置 1 0 をステップ s 1 4 で設計することによって、ステップ s 1 4 でバンク制御回路 7 を設計変更しなくても良い。つまり、 $N12 > N11$  の場合にだけバンク制御回路 7 を設計変更しても良い。

【0 2 4 8】

また、図 3 7 に示されるように、ステップ s 1 1 の前にステップ s 2 1 を実行しても良い。

【 0 2 4 9 】

ステップ s 2 1 において、バンク制御回路 7 が接続可能なキャッシュメモリ 6 の総数に対応したメモリ容量をパラメータとして、バンク制御回路 7 に関する設計データをハードウェア記述言語で予め記述しておく。

【 0 2 5 0 】

次にステップ s 1 2 b において、N 1 1 の値に対応したメモリ容量を論理合成時に上記パラメータに代入して、N 1 1 個のキャッシュメモリ 6 に接続可能なバンク制御回路 7 を設計する。例えば、N 1 1 = 4 の場合、上記パラメータに 8 K バイト (= 2 K バイト × 4 ) を入力する。

【 0 2 5 1 】

そして、ステップ s 1 4 b において、N 1 2 の値に対応したメモリ容量を論理合成時に上記パラメータに代入して、ステップ s 1 2 b で設計されたバンク制御回路 7 を設計変更する。例えば、N 1 2 = 8 の場合には、上記パラメータに 1 6 K バイト (= 2 K バイト × 8 ) を代入する。

【 0 2 5 2 】

このように、バンク制御回路 7 が接続可能なキャッシュメモリ 6 の総数に対応したメモリ容量をパラメータとして、バンク制御回路 7 に関する設計データをハードウェア記述言語で記述することによって、バンク制御回路の設計変更が簡単にできる。

【 0 2 5 3 】

実施の形態 4 .

図 3 9 は本発明の実施の形態 4 に係るマイクロプロセッサの設計方法を示すフローチャートである。

【 0 2 5 4 】

上述の実施の形態 1 では、マイクロプロセッサ 1 にバンク 0 のキャッシュメモリ 6 しか設けられない場合であっても、図 2 4 に示されるように、キャッシュメモリ 6 は、バンク制御回路 7 を介してバス制御回路 3 やキャッシュ周辺回路 5 に

接続されていた。

【 0 2 5 5 】

しかしながら、マイクロプロセッサ 1 にバンク 0 のキャッシュメモリ 6 しか設けられない場合には、図 3 8 に示されるように、バンク制御回路 7 を介さずにバンク 0 のキャッシュメモリ 6 をバス制御回路 3 やキャッシュ周辺回路 5 に直接接続することができる。具体的には、図 3 8 に示すマイクロプロセッサ 1 は以下のようにして得られる。

【 0 2 5 6 】

図 2 4 に示されるマイクロプロセッサ 1 において、バンク 0 のキャッシュメモリ 6 のバンク 0 リードデータ B 0 R D を出力する出力端子と、キャッシュ周辺回路 5 のメモリードデータ M R D が入力されていた入力端子とを直接接続し、バス制御回路 3 のキャッシュメモリ制御信号 C M C N T を出力する出力端子と、バンク 0 のキャッシュメモリ 6 のバンク 0 制御信号 B 0 C N T が入力されていた入力端子とを直接接続する。また、バンク 0 のキャッシュメモリ 6 のバンク 0 ステータスリードデータ B 0 S R D を出力する出力端子と、バス制御回路 3 のステータスリードデータ S R D が入力されていた出力端子とを直接接続する。

【 0 2 5 7 】

なお、キャッシュメモリ 6 をバス制御回路 3 やキャッシュ周辺回路 5 に直接接続する場合であっても、キャッシュメモリ 6 の追加を簡単にするために、図 3 8 に示されるように、キャッシュメモリ装置 1 0 にバンク制御回路 7 を設けておく。

【 0 2 5 8 】

このように、バンク 0 のキャッシュメモリ 6 を、バンク制御回路 7 を介さずに、バス制御回路 3 及びキャッシュ周辺回路 5 に直接接続することによっても、2 K バイトのキャッシュ容量を実現できる。そして、バンク 0 のキャッシュメモリ 6 を、バス制御回路 3 及びキャッシュ周辺回路 5 に直接接続した場合には、バンク 0 のキャッシュメモリ 6 により高速にアクセスできる。

【 0 2 5 9 】

そこで、本実施の形態 4 に係るマイクロプロセッサの設計方法では、図 3 9 に

示されるように、まずステップ s 3 0 において、一般的な C A D ツールを用いて、バンク 0 のキャッシュメモリ 6、バンク制御回路 7、キャッシュ周辺回路 5 及びバス制御回路 3 の配置設計を行う。

#### 【 0 2 6 0 】

次に、ステップ s 3 1 において、ステップ s 3 0 で設計された配置で、バンク 0 のキャッシュメモリをバス制御回路 3 及びキャッシュ周辺回路 5 に直接接続する第 1 の配線パターンを設計する。そして、ステップ s 3 2 において、ステップ s 3 0 で設計された配置で、バンク 0 のキャッシュメモリ 6 をバンク制御回路 7 を介してバス制御回路 3 及びキャッシュ周辺回路 5 に接続する第 2 の配線パターンを設計する。

#### 【 0 2 6 1 】

このように、第 1、2 の配線パターンを設計することによって、バンク 0 のキャッシュメモリ 6 とバス制御回路 3 及びキャッシュ周辺回路 5 とが直接接続されるマイクロプロセッサ 1 と、バンク 0 のキャッシュメモリとバス制御回路 3 及びキャッシュ周辺回路 5 とがバンク制御回路 7 を介して接続されるマイクロプロセッサ 1 とを簡単に設計することができる。

#### 【 0 2 6 2 】

従って、バンク 0 のキャッシュメモリ 6 のみを備えるマイクロプロセッサ 1 を設計する際には、ステップ s 3 1 で設計した第 1 の配線パターンを使用し、複数のキャッシュメモリ 6 を備えるマイクロプロセッサ 1 を設計する際には、ステップ s 3 2 で設計した第 2 の配線パターンを使用することによって、キャッシュ容量を変更する際の設計変更を少なくすることができる。

#### 【 0 2 6 3 】

そして、キャッシュメモリ 6 が一つの場合には、バンク制御回路 7 を介さずにキャッシュメモリ 6 にアクセスすることができるため、キャッシュメモリ 6 に高速にアクセスできる。

#### 【 0 2 6 4 】

また、第 1 の配線パターンから第 1 の配線マスクを製作し、第 2 の配線パターンから第 2 の配線マスクを製作することによって、使用する配線マスクを変更す



るだけで、バンク 0 のキャッシュメモリ 6 をバス制御回路 3 及びキャッシュ周辺回路 5 に直接接続したり、バンク 0 のキャッシュメモリをバンク制御回路 7 を介してバス制御回路 3 及びキャッシュ周辺回路 5 に接続することができる。

【 0 2 6 5 】

【発明の効果】

この発明に係るバンク制御回路によれば、キャッシュ容量を示す信号に基づいて、キャッシュメモリを選択することができるため、当該信号が示す容量を変化させることによって、簡単に、複数種類のキャッシュ容量を実現することができる。従って、キャッシュ容量変更の際に必要な設計変更を低減できる。

【 0 2 6 6 】

また、この発明に係るキャッシュメモリ装置の設計方法によれば、第 1, 2 のキャッシュメモリ装置は、工程 (a) で設計されたバンク制御回路を備えるため、第 1, 2 のキャッシュメモリ装置を設計する際に、バンク制御回路を別個に設計する必要が無い。従って、キャッシュメモリ容量を変更する際に必要な設計変更を低減できる。

【 0 2 6 7 】

また、この発明に係る他のキャッシュメモリ装置の設計方法によれば、キャッシュメモリの数が、バンク制御回路に接続可能な数よりも大きい場合には、バンク制御回路を設計変更するため、その他の周辺回路を設計変更する必要が無い。従って、キャッシュ容量を変更する際に必要な設計変更を低減できる。

【 0 2 6 8 】

また、この発明に係るマイクロプロセッサの設計方法によれば、第 1, 2 の配線パターンを設計することによって、キャッシュメモリと制御回路とが直接接続されるマイクロプロセッサと、キャッシュメモリと制御回路とがバンク制御回路を介して接続されるマイクロプロセッサとを簡単に設計することができる。従って、一つのキャッシュメモリのみを備えるマイクロプロセッサを設計する際には、工程 (a) で設計した第 1 の配線パターンを使用し、複数のキャッシュメモリを備えるマイクロプロセッサを設計する際には、工程 (b) で設計した第 2 の配線パターンを使用することによって、キャッシュ容量を変更する際の設計変更を

低減できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2】 本発明の実施の形態 1 に係るバス制御回路とキャッシュ周辺回路との接続関係を示す図である。

【図 3】 本発明の実施の形態 1 に係るバンク制御回路とキャッシュメモリとの接続関係を示す図である。

【図 4】 キャッシュアドレスの構成を示す図である。

【図 5】 本発明の実施の形態 1 に係るバンク制御回路の構成を示すブロック図である。

【図 6】 信号 C S I Z E と、信号 B I D と、バンク n 選択信号との関係を示す図である。

【図 7】 本発明の実施の形態 1 に係るキャッシュメモリの構成を示すブロック図である。

【図 8】 本発明の実施の形態 1 に係るキャッシュ周辺回路の構成を示すブロック図である。

【図 9】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 0】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 1】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 2】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 3】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 4】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 5】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 6】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 7】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 8】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 1 9】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 2 0】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 2 1】 本発明の実施の形態 1 に係るマイクロプロセッサの動作を示すタイミングチャートである。

【図 2 2】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2 3】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2 4】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2 5】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2 6】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 2 7】 本発明の実施の形態 1 に係るバンク制御回路の構成を示すブロック図である。

【図 2 8】 本発明の実施の形態 1 に係るバンク制御回路の構成を示すブロック図である。

【図 2 9】 信号 C S I Z E と、信号 B I D と、バンク n 選択信号との関係

を示す図である。

【図 3 0】 信号 C S I Z E と、信号 B I D と、バンク n 選択信号との関係を示す図である。

【図 3 1】 本発明の実施の形態 1 に係るマイクロプロセッサの構成を示すブロック図である。

【図 3 2】 本発明の実施の形態 1 に係る電源制御回路の構成を示すブロック図である。

【図 3 3】 本発明の実施の形態 2 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。

【図 3 4】 本発明の実施の形態 3 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。

【図 3 5】 本発明の実施の形態 3 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。

【図 3 6】 本発明の実施の形態 3 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。

【図 3 7】 本発明の実施の形態 3 に係るキャッシュメモリ装置の設計方法を示すフローチャートである。

【図 3 8】 本発明の実施の形態 1 に係るマイクロプロセッサの変形例の構成を示すブロック図である。

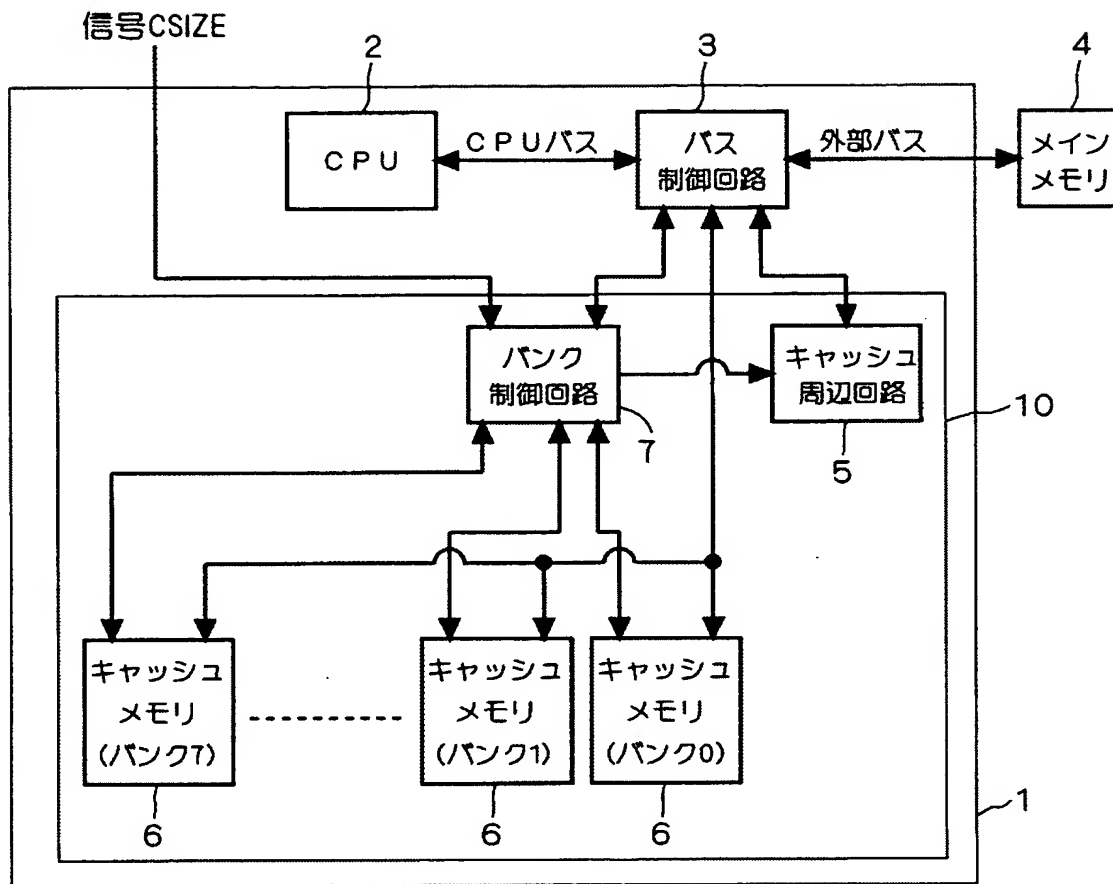
【図 3 9】 本発明の実施の形態 4 に係るマイクロプロセッサの設計方法を示すフローチャートである。

#### 【符号の説明】

1 マイクロプロセッサ、3 バス制御回路、4 メインメモリ、5 キャッシュ周辺回路、6 キャッシュメモリ、7, 7 b, 7 c バンク制御回路、8 電源制御回路、10 キャッシュメモリ装置、500, 502 比較器、601 way0 タグメモリ、602 way1 タグメモリ、603 way0 データメモリ、604 way1 データメモリ。

【書類名】 図面

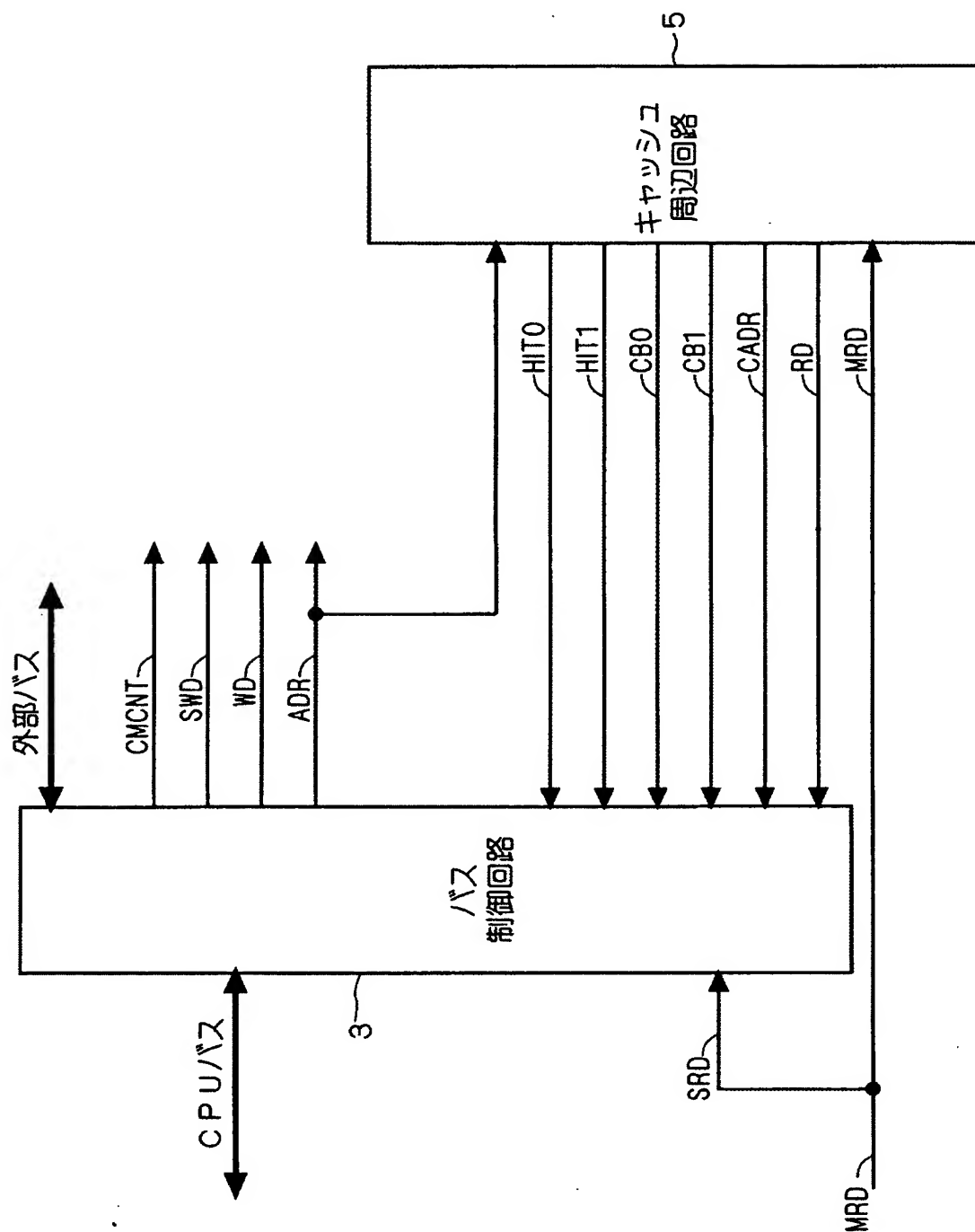
【図 1】



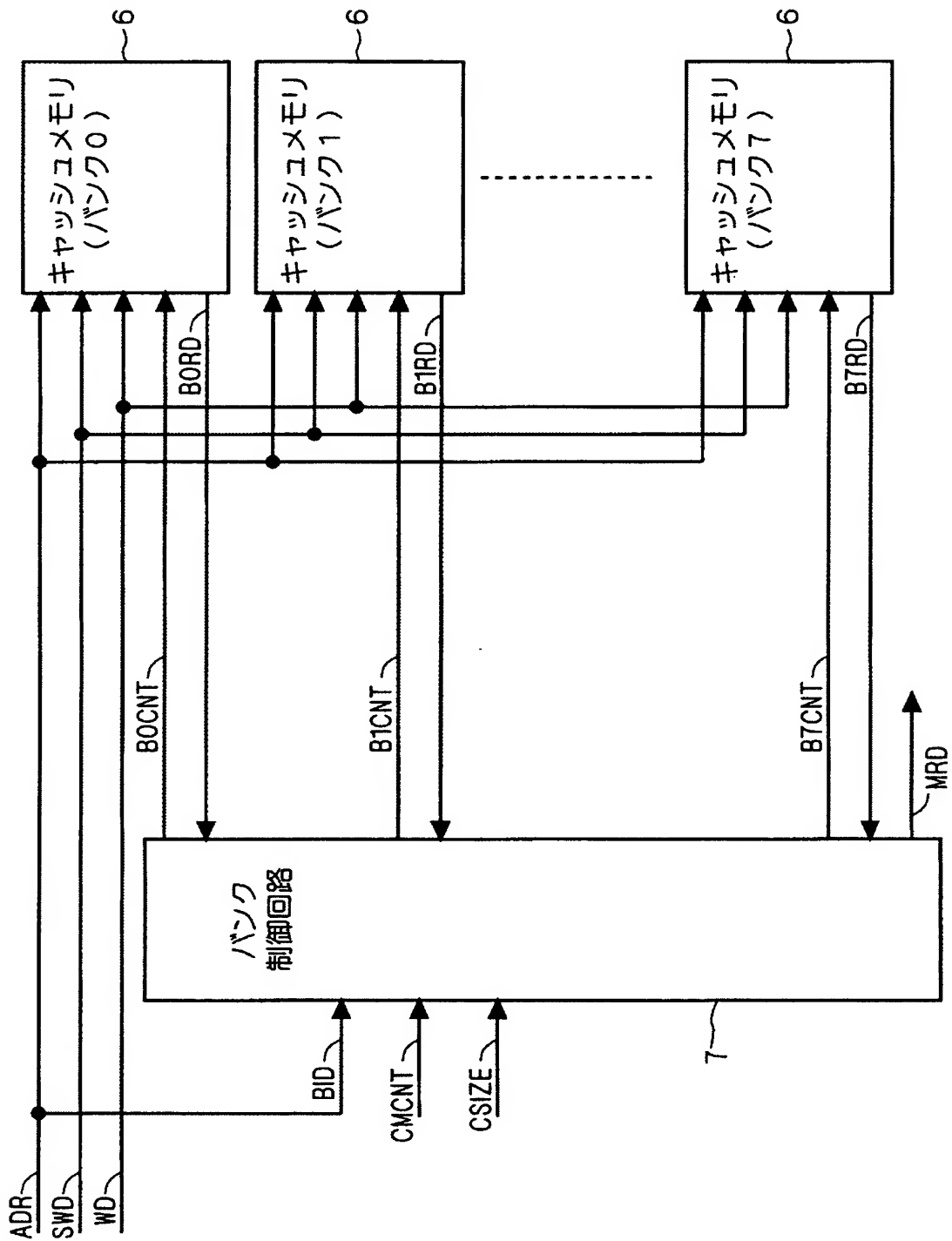
1 : マイクロプロセッサ

10 : キャッシュメモリ装置

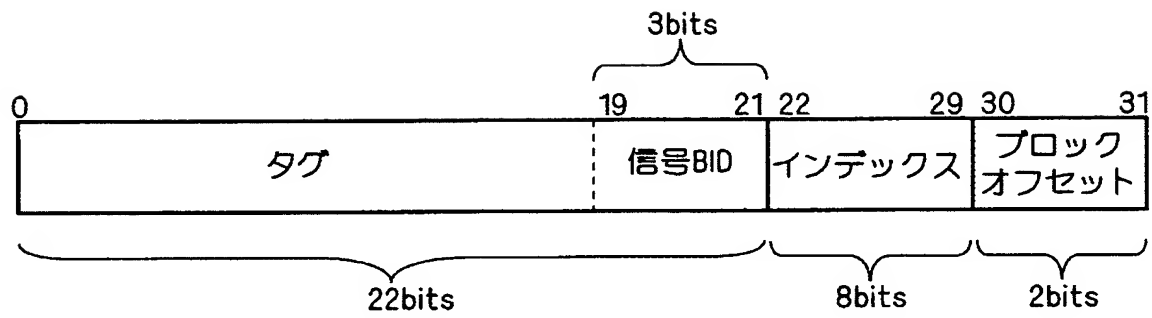
【図 2】



【図 3】

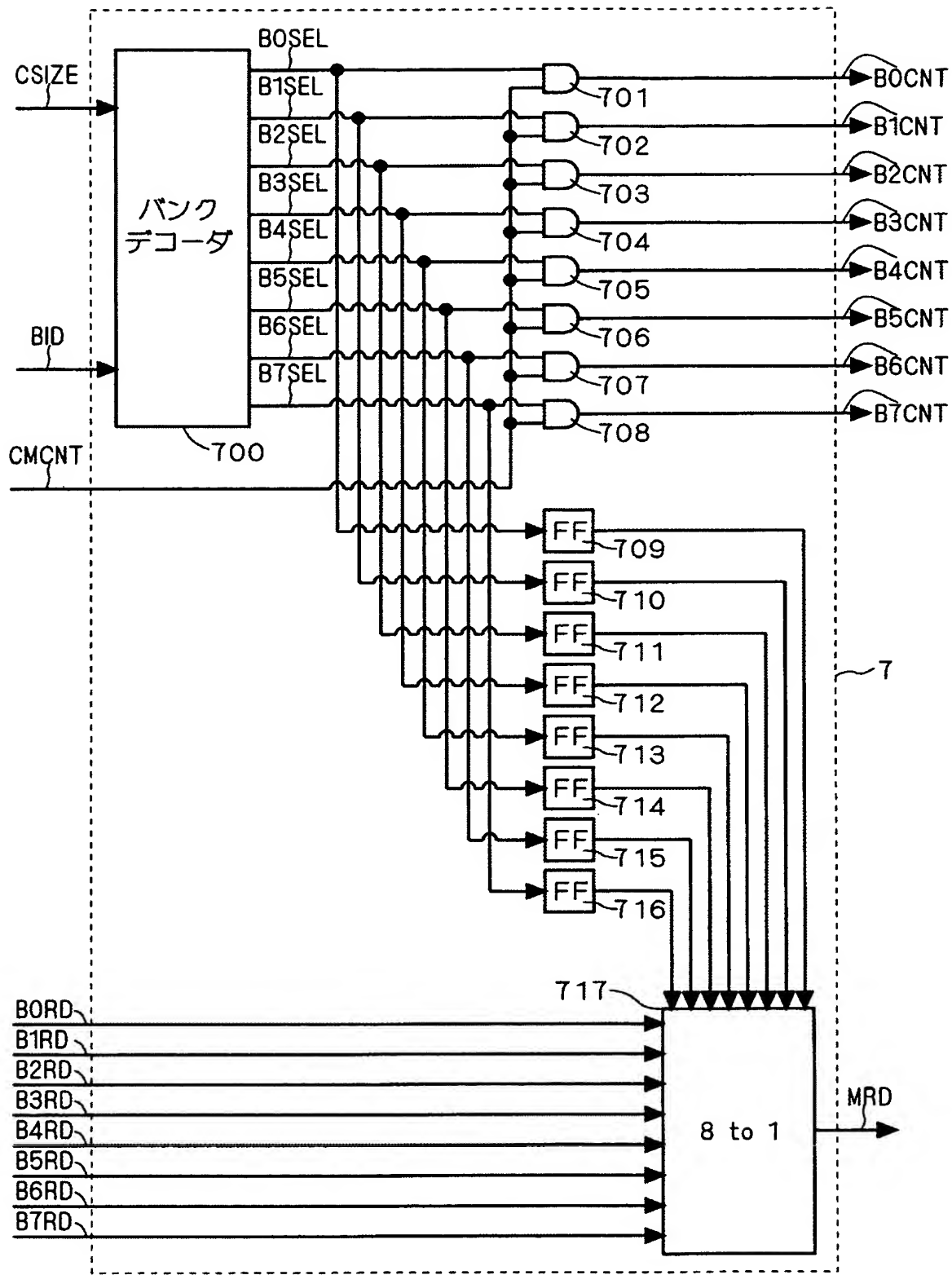


【図 4】





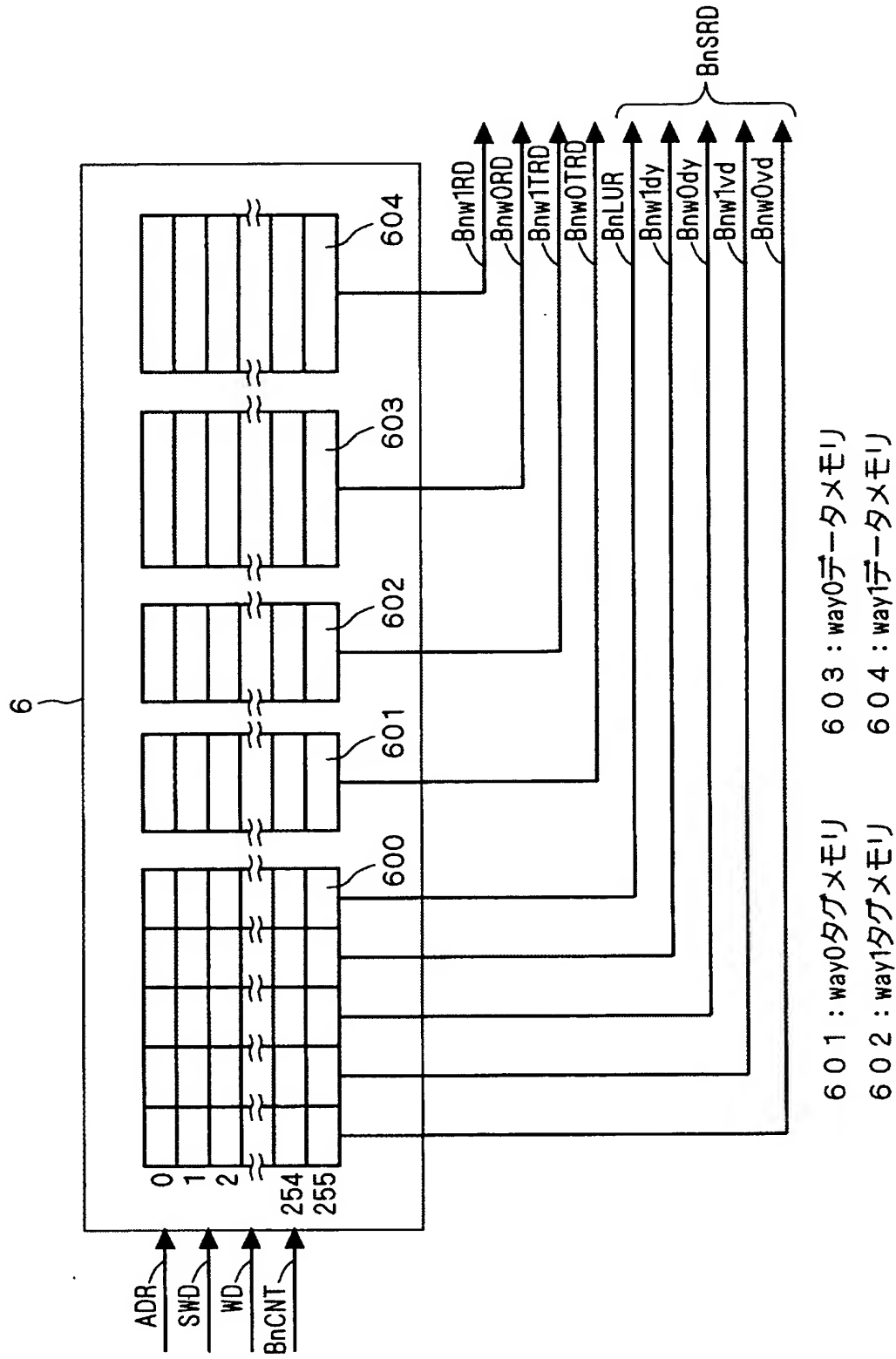
【図 5】



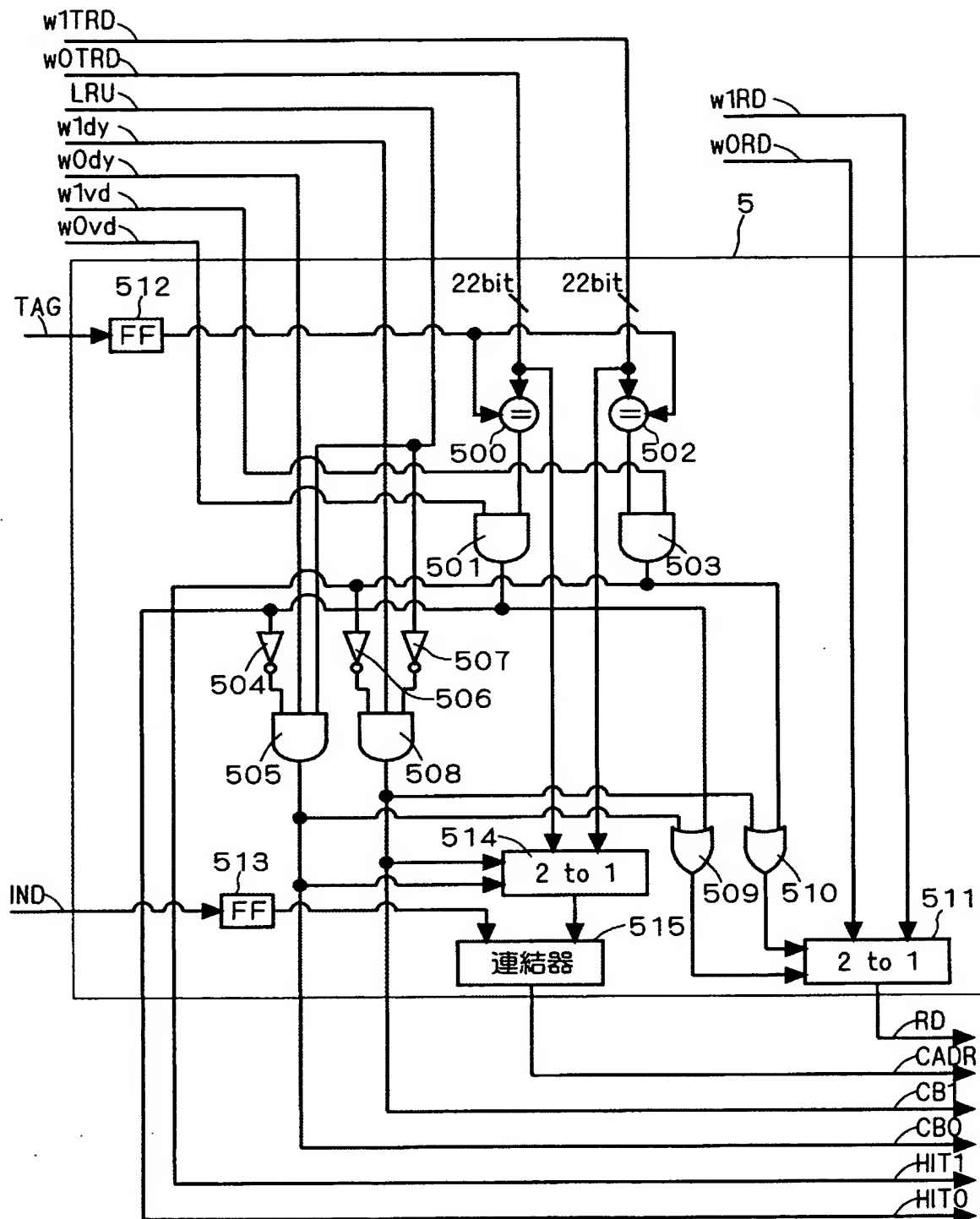
【図 6】

Csize	BID	バンク0 選択信号	バンク1 選択信号	バンク2 選択信号	バンク3 選択信号	バンク4 選択信号	バンク5 選択信号	バンク6 選択信号	バンク7 選択信号
00	000	1	0	0	0	0	0	0	0
	001	1	0	0	0	0	0	0	0
	010	1	0	0	0	0	0	0	0
	011	1	0	0	0	0	0	0	0
	100	1	0	0	0	0	0	0	0
	101	1	0	0	0	0	0	0	0
	110	1	0	0	0	0	0	0	0
	111	1	0	0	0	0	0	0	0
01	000	1	0	0	0	0	0	0	0
	001	0	1	0	0	0	0	0	0
	010	1	0	0	0	0	0	0	0
	011	0	1	0	0	0	0	0	0
	100	1	0	0	0	0	0	0	0
	101	0	1	0	0	0	0	0	0
	110	1	0	0	0	0	0	0	0
	111	0	1	0	0	0	0	0	0
10	000	1	0	0	0	0	0	0	0
	001	0	1	0	0	0	0	0	0
	010	0	0	1	0	0	0	0	0
	011	0	0	0	1	0	0	0	0
	100	1	0	0	0	0	0	0	0
	101	0	1	0	0	0	0	0	0
	110	0	0	1	0	0	0	0	0
	111	0	0	0	1	0	0	0	0
11	000	1	0	0	0	0	0	0	0
	001	0	1	0	0	0	0	0	0
	010	0	0	1	0	0	0	0	0
	011	0	0	0	1	0	0	0	0
	100	0	0	0	0	1	0	0	0
	101	0	0	0	0	0	1	0	0
	110	0	0	0	0	0	0	1	0
	111	0	0	0	0	0	0	0	1

【図 7】

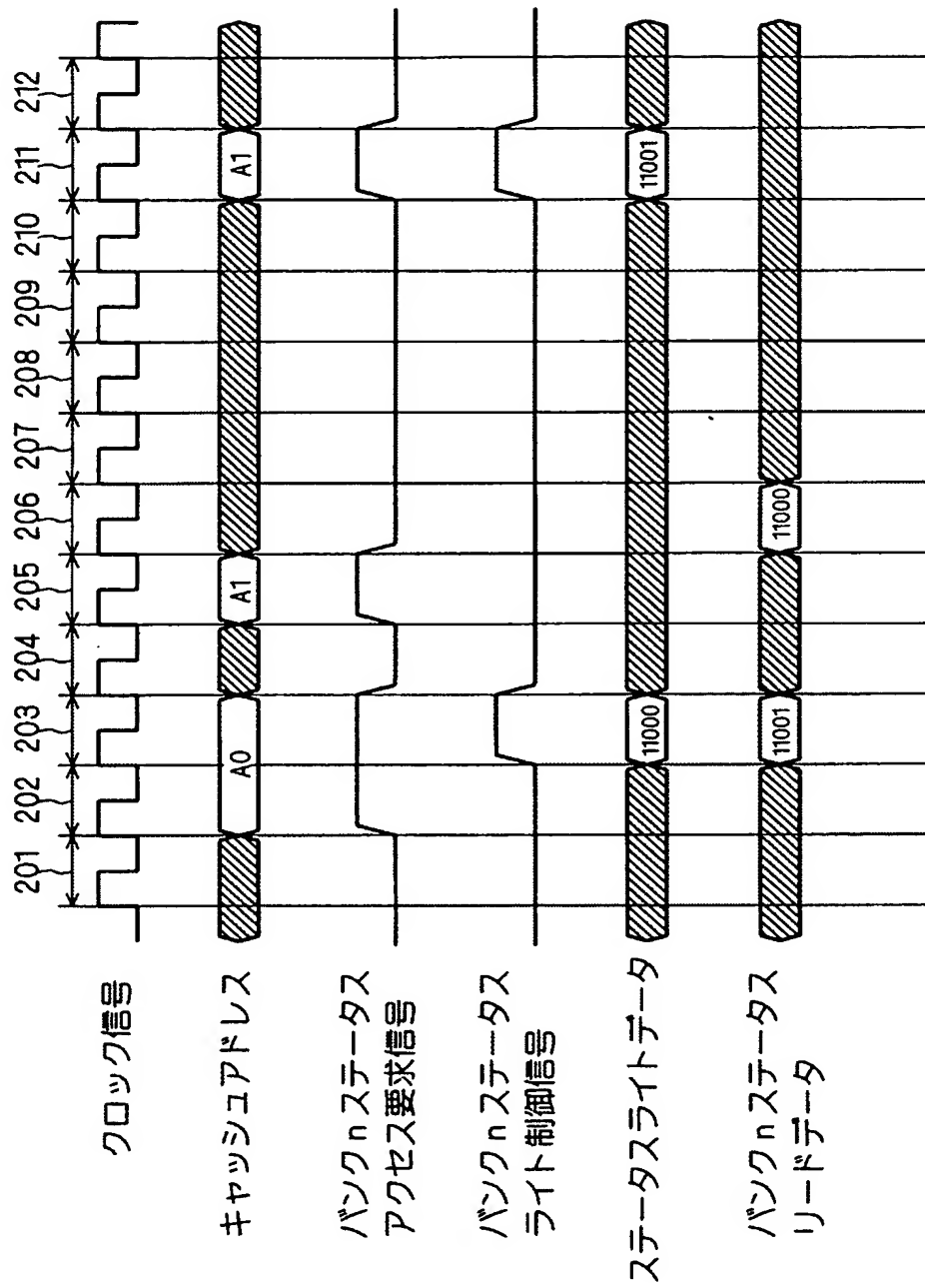


【図 8】

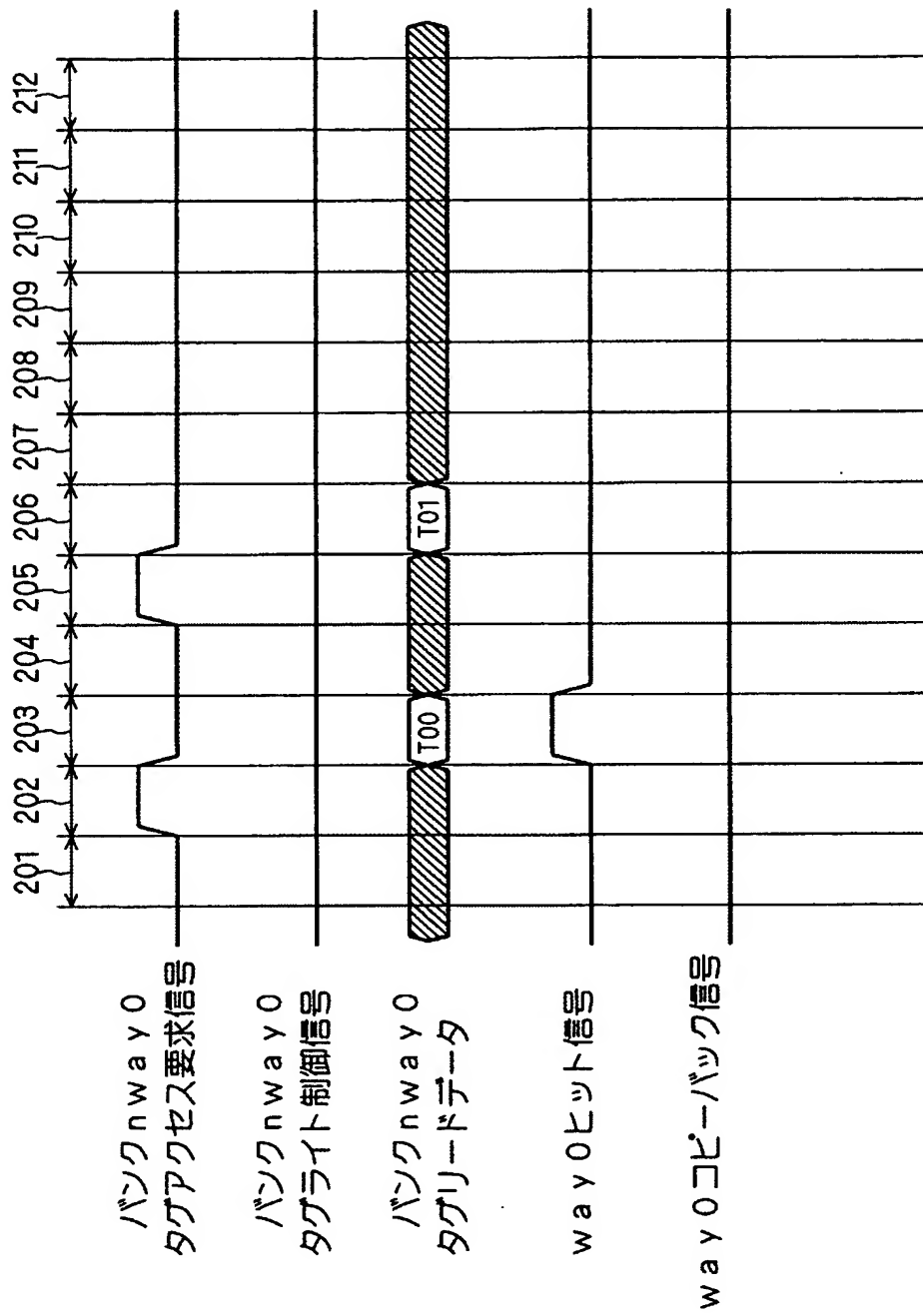


500, 502 : 比較器

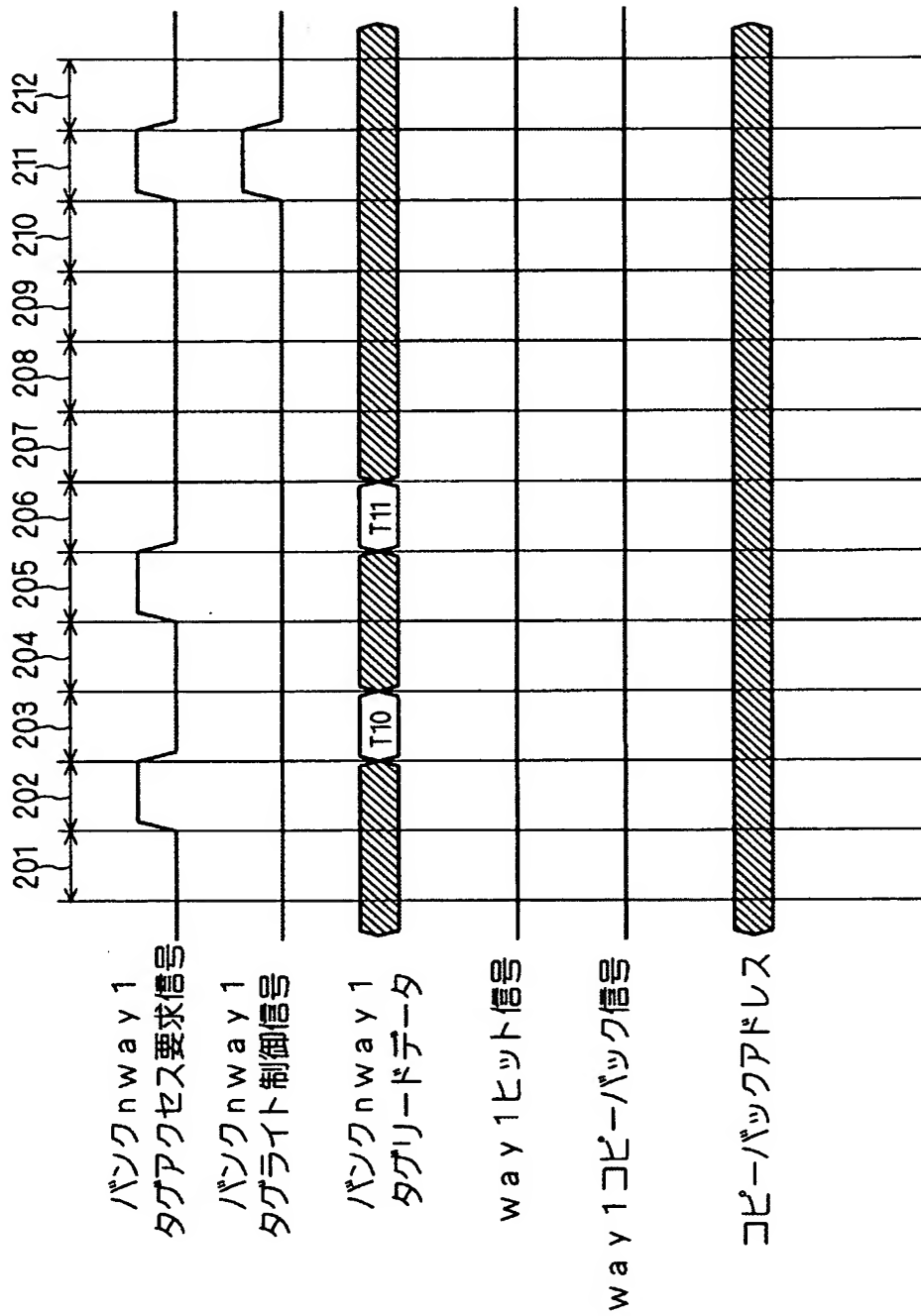
【図 9】



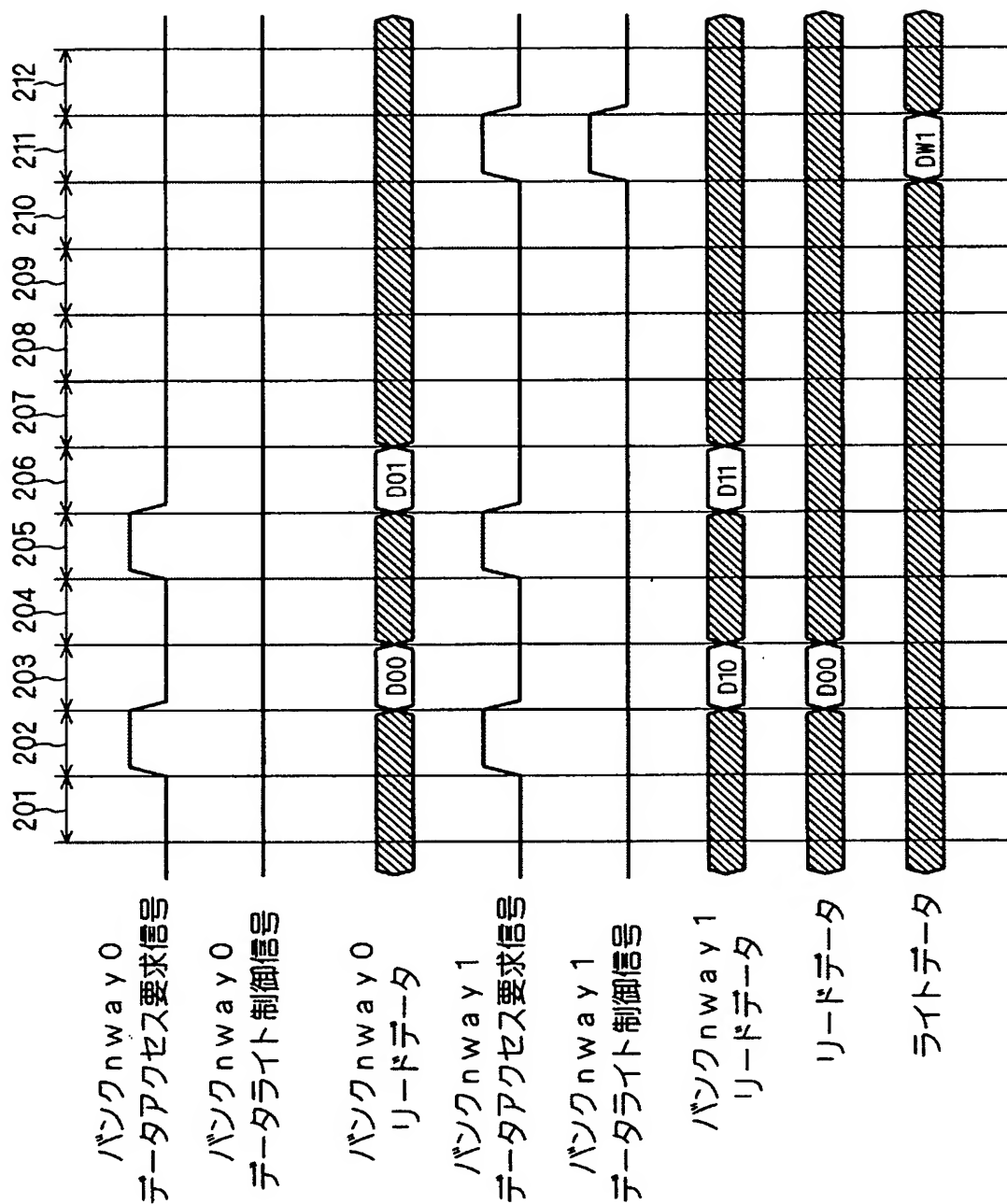
【図 1 0】



【図 11】

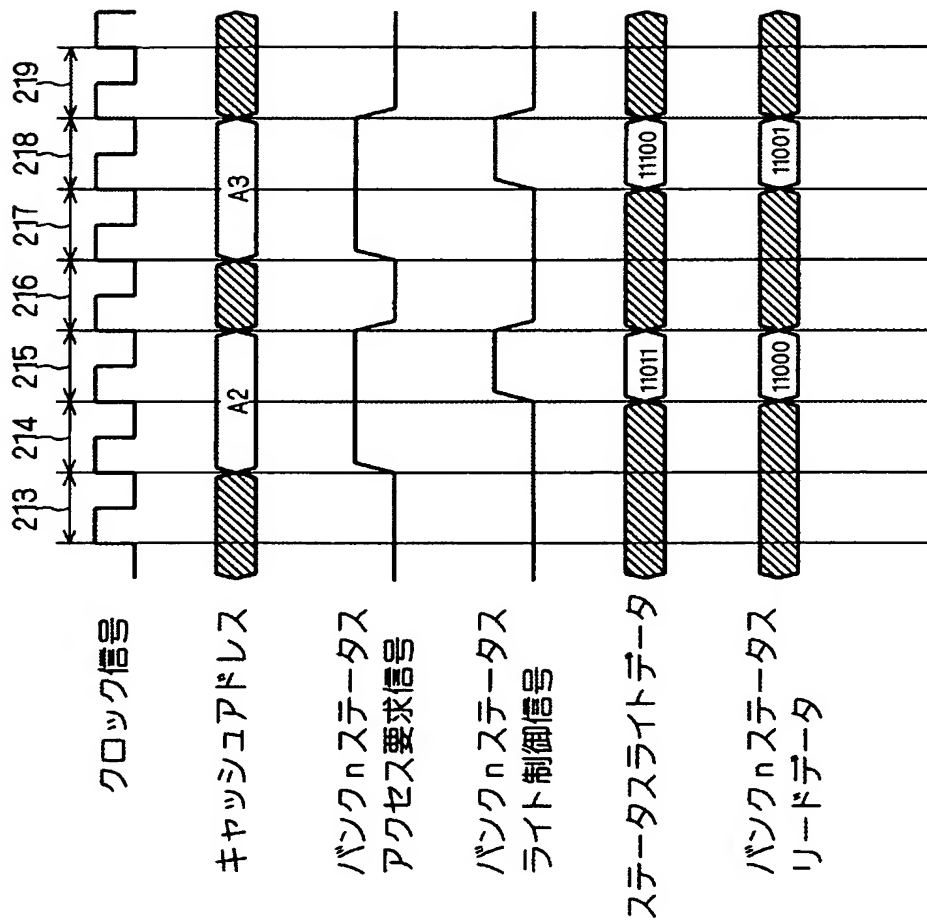


【図 12】

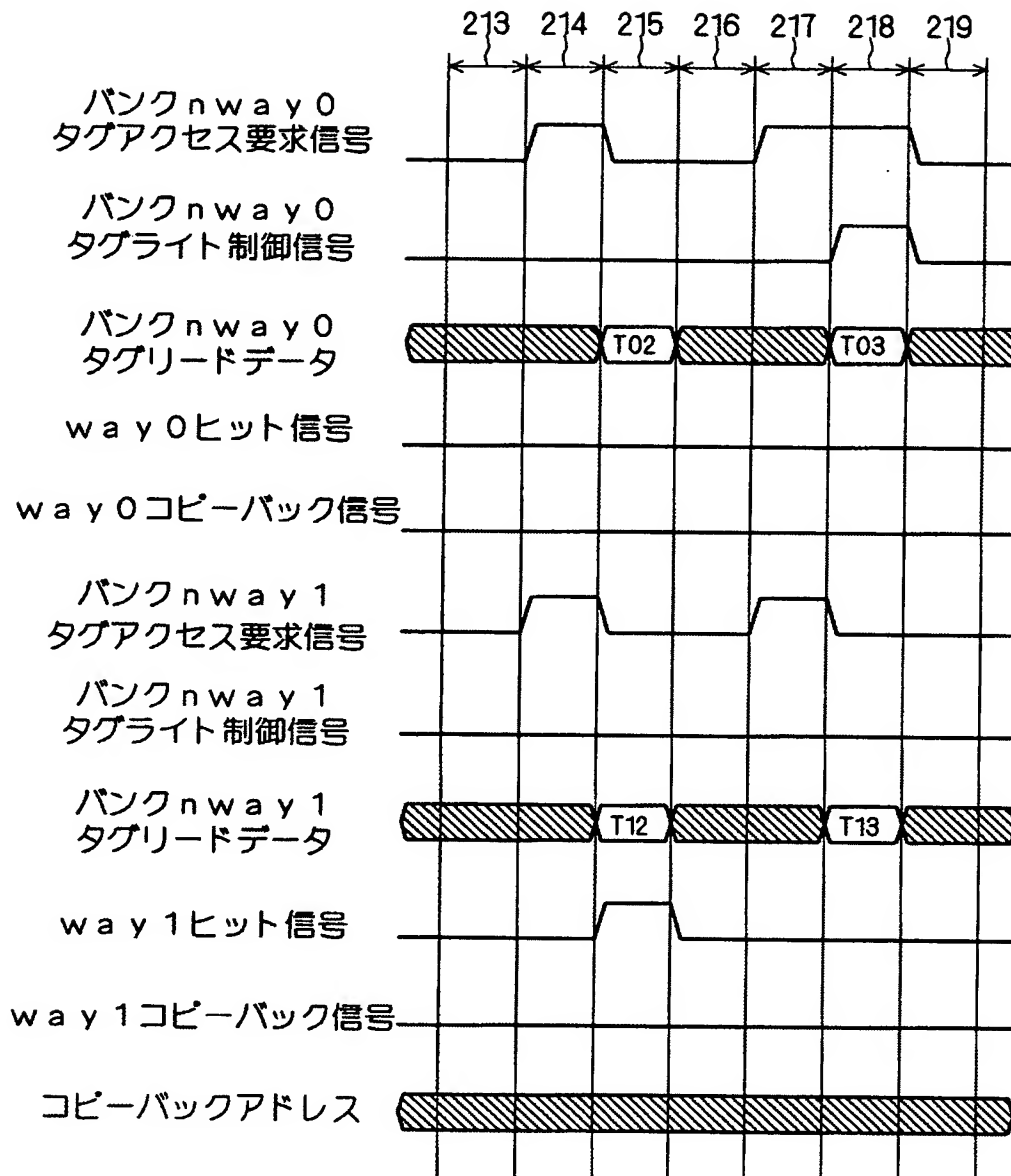




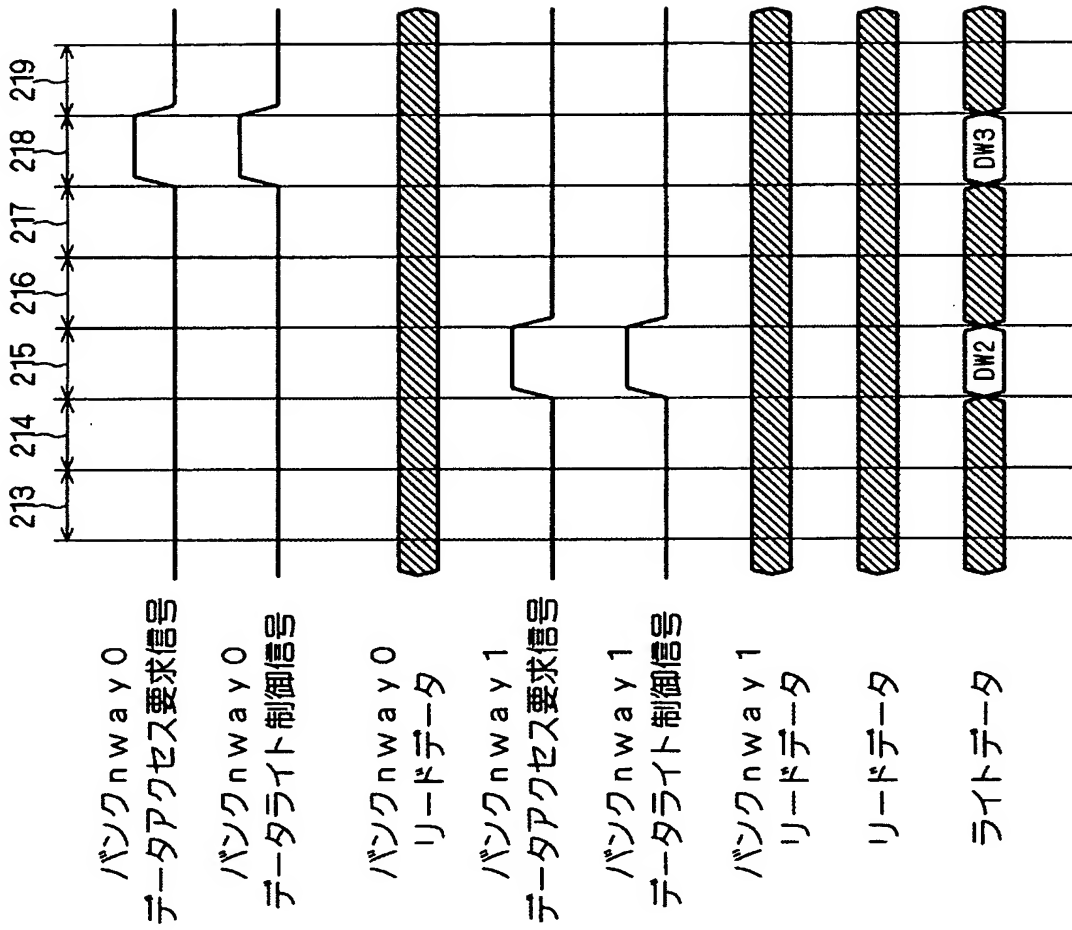
【図 1 3】



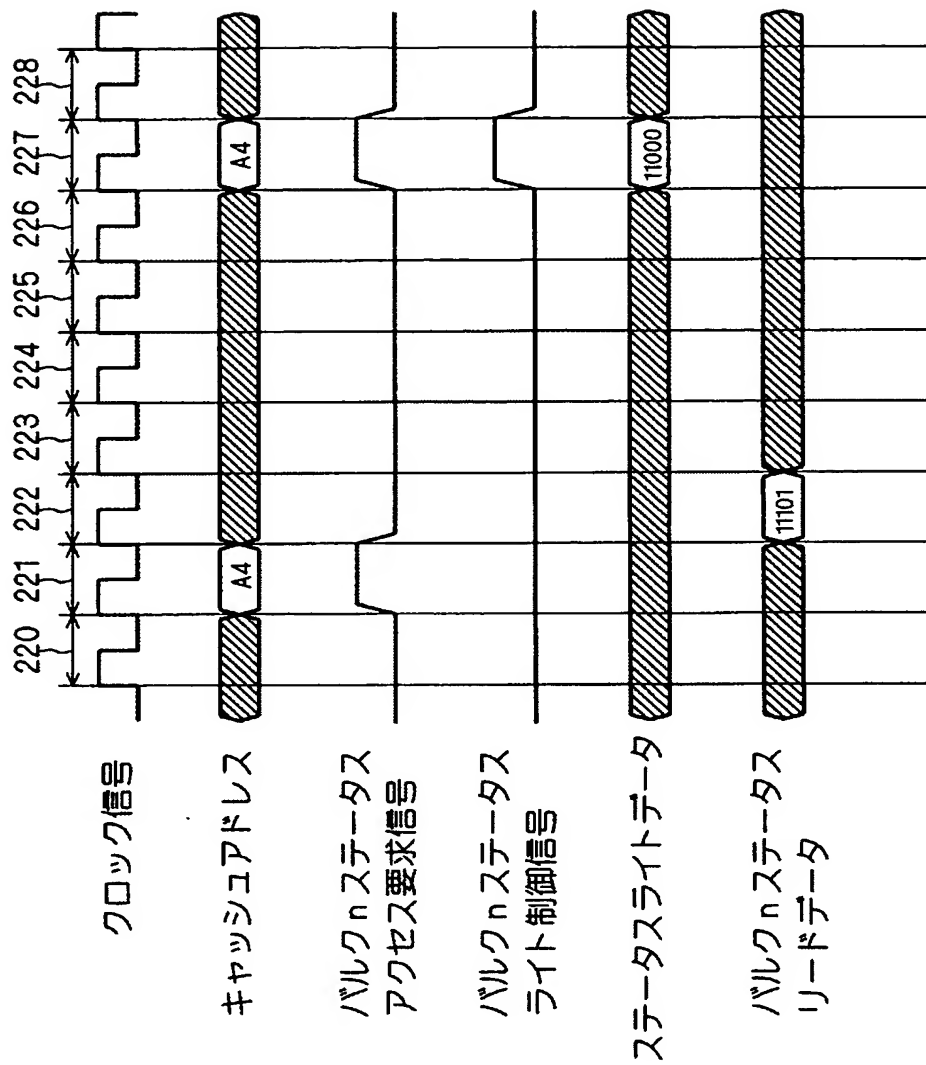
【図 14】



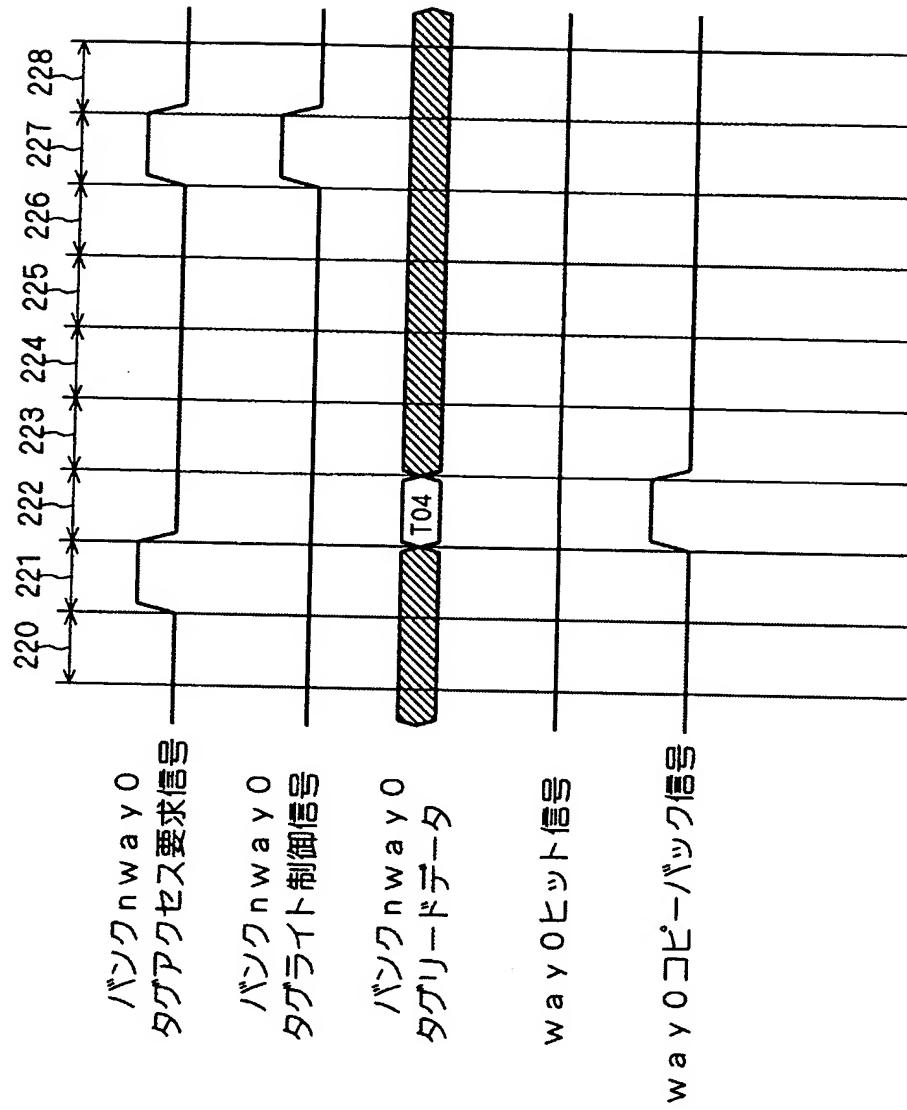
【図 15】



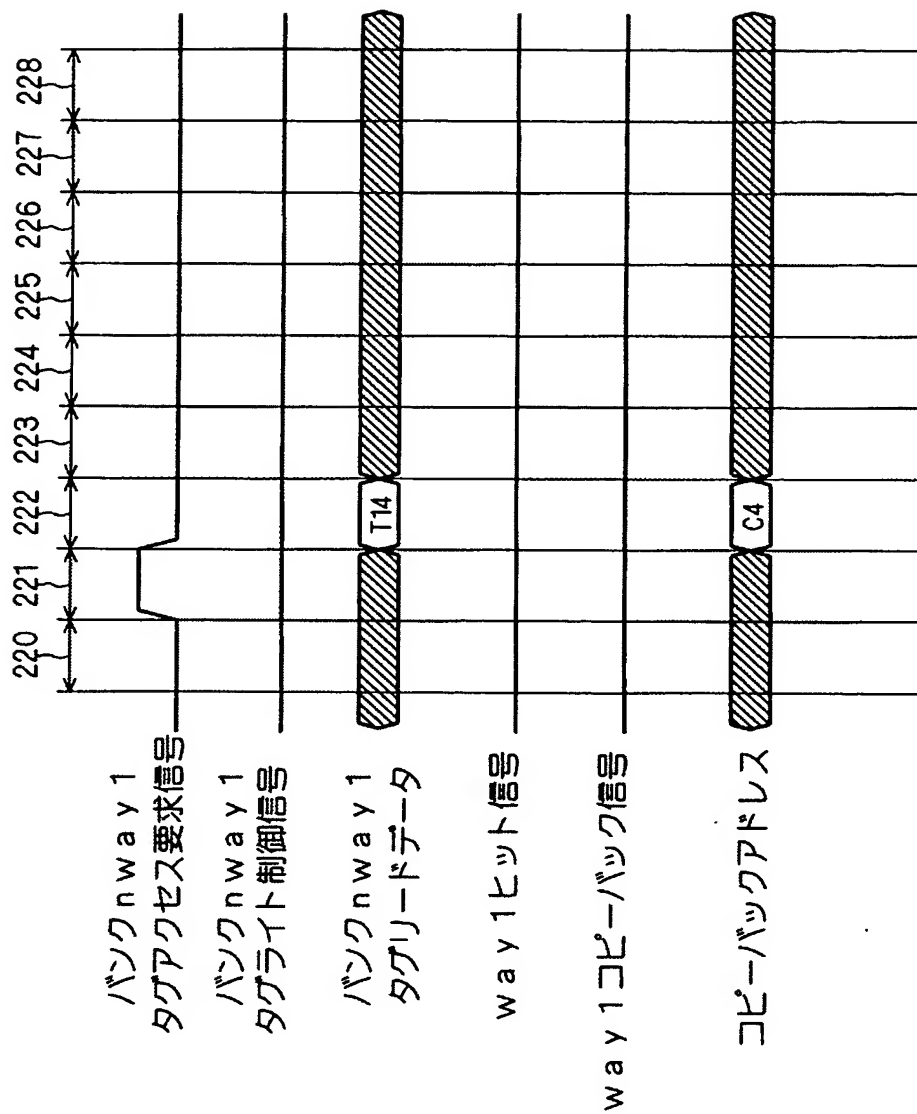
【図 16】



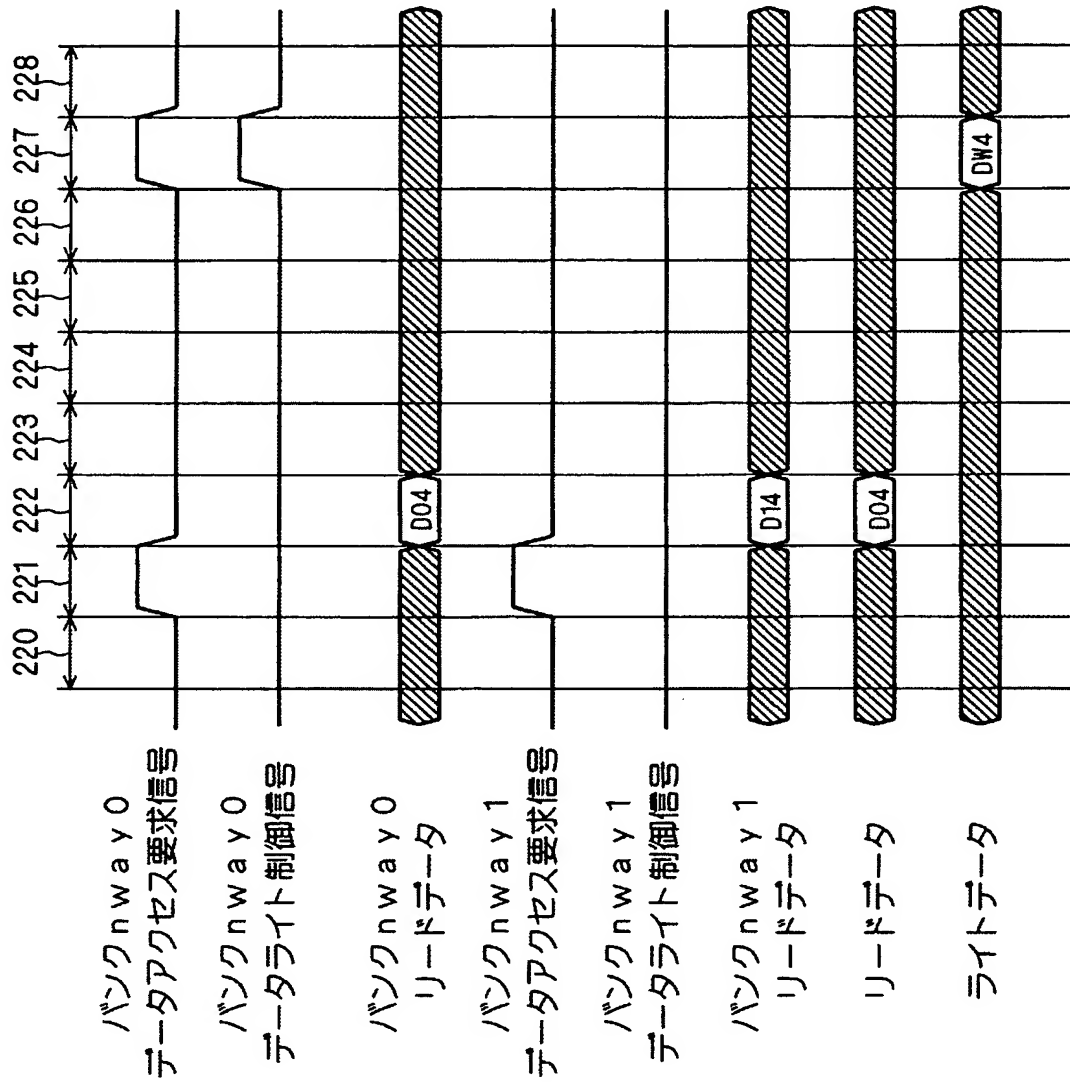
【図 17】



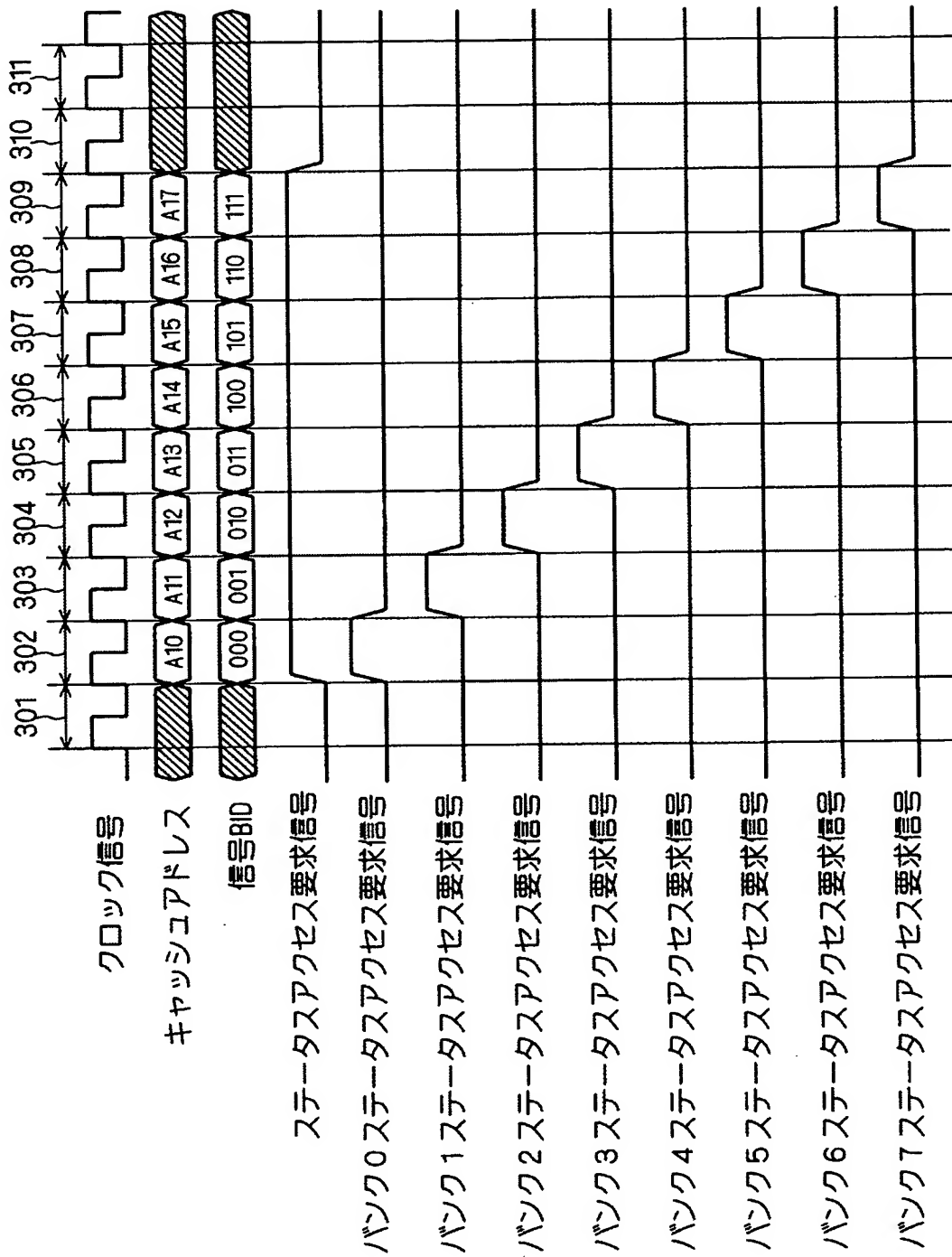
【図 18】



【図 19】

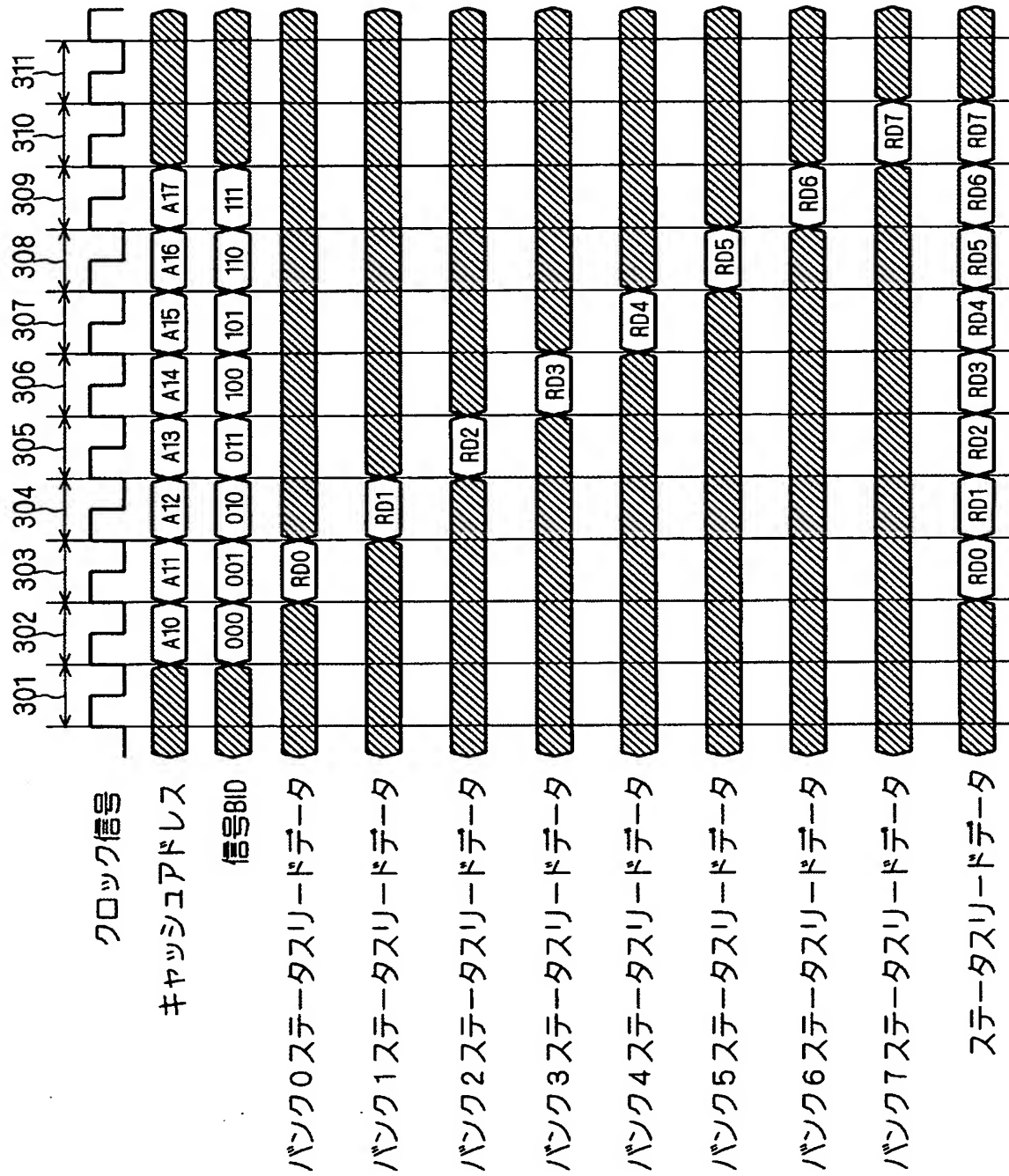


【図 20】

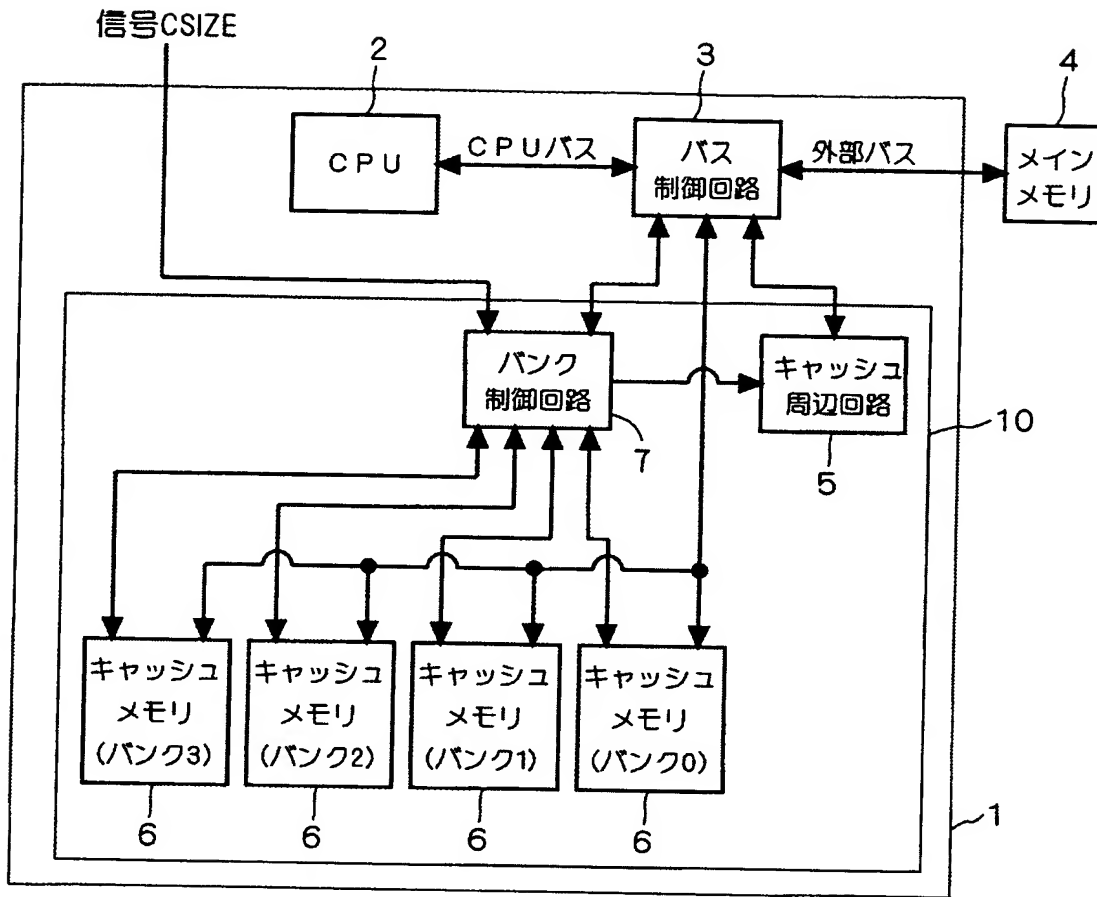




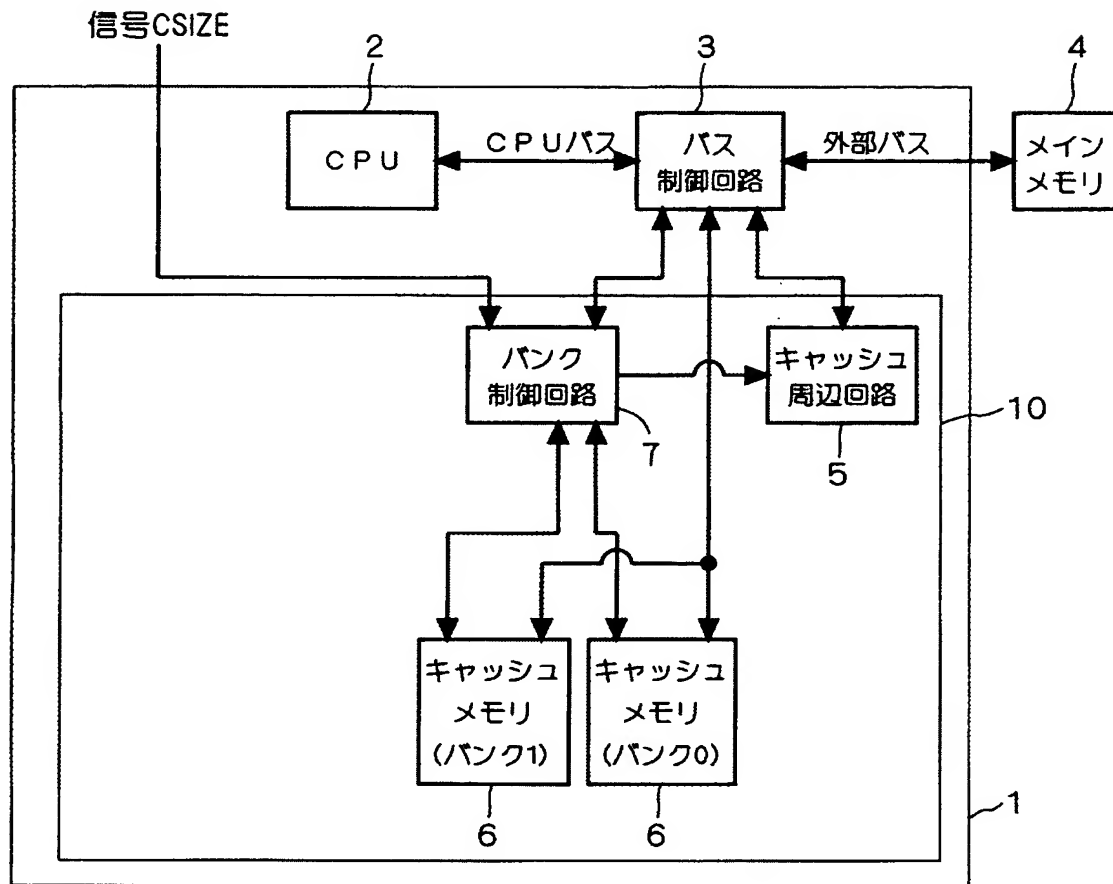
【図 21】



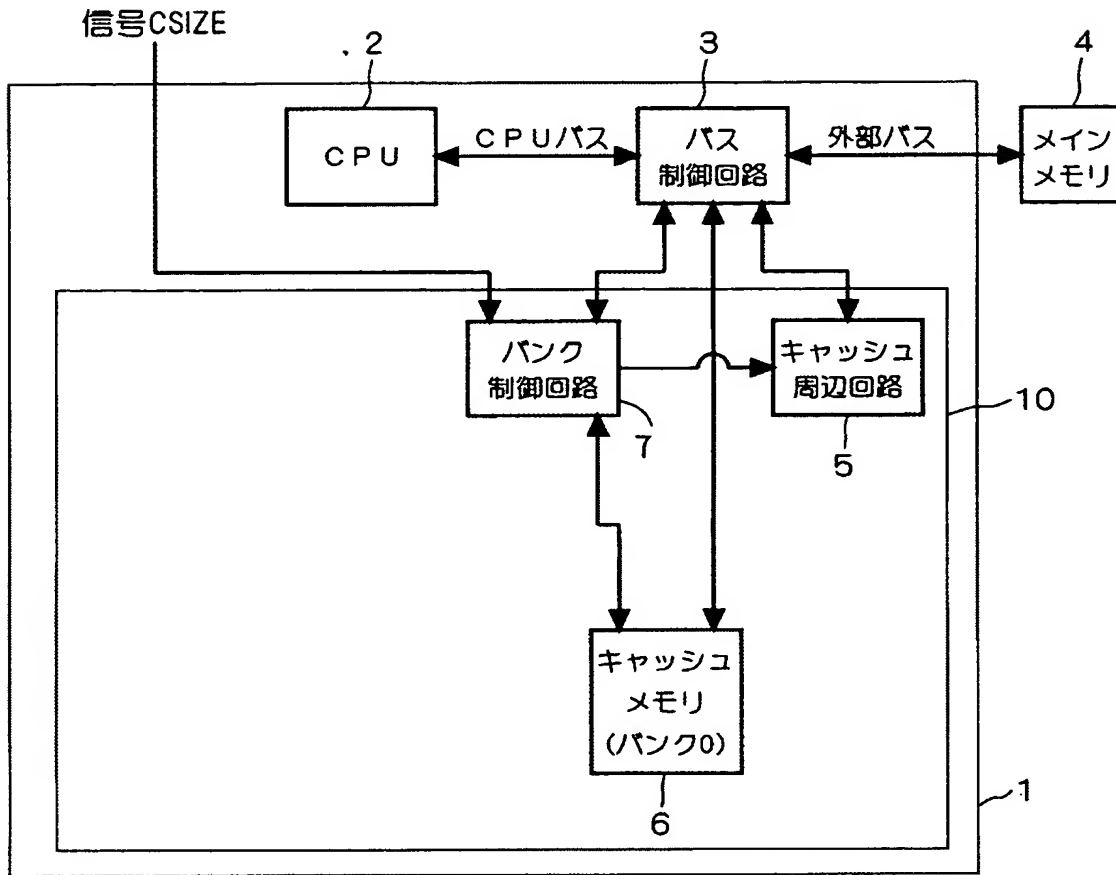
【図 22】



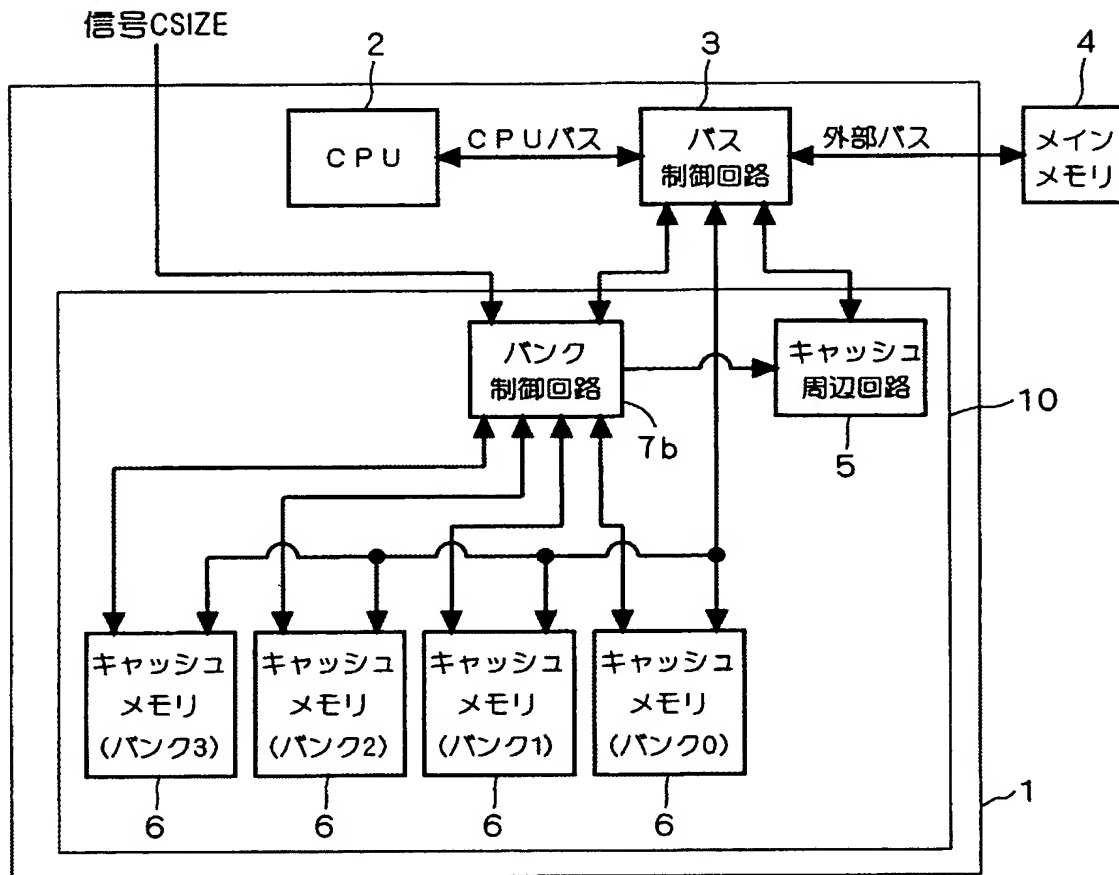
【図 23】



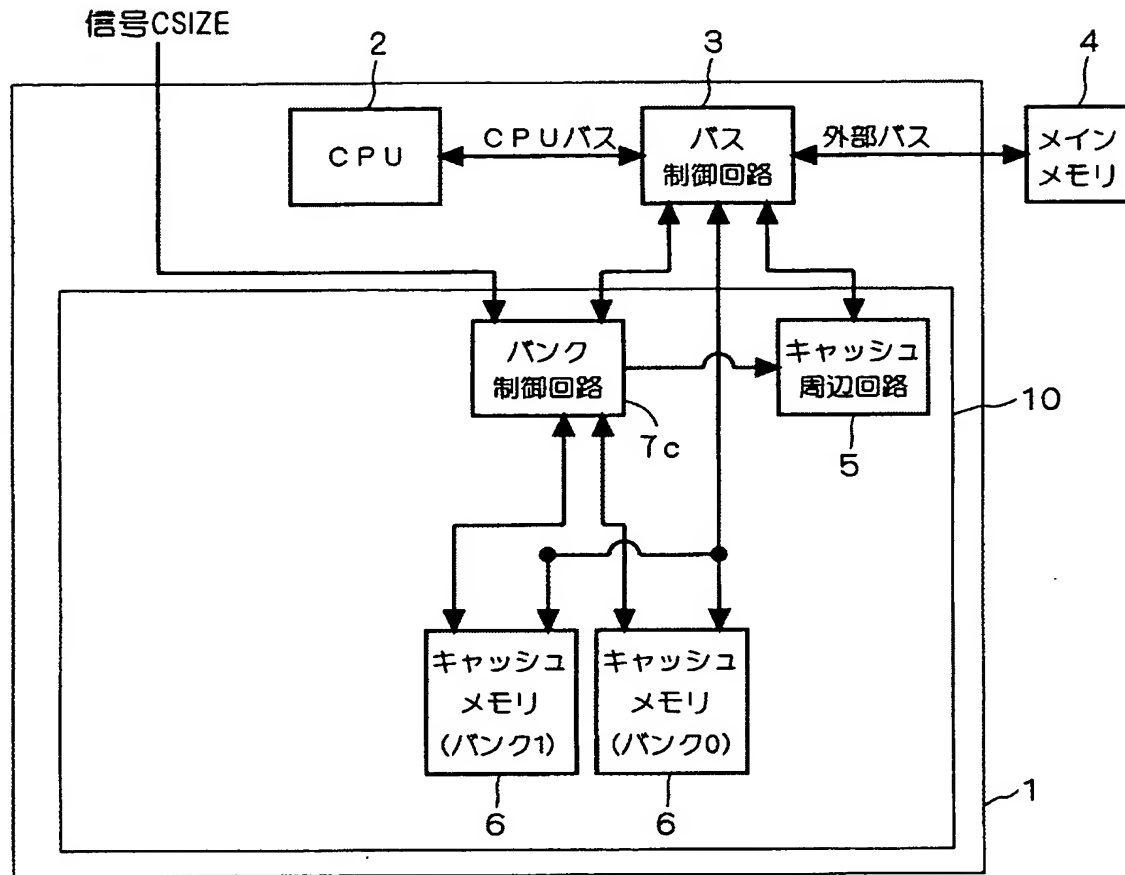
【図24】



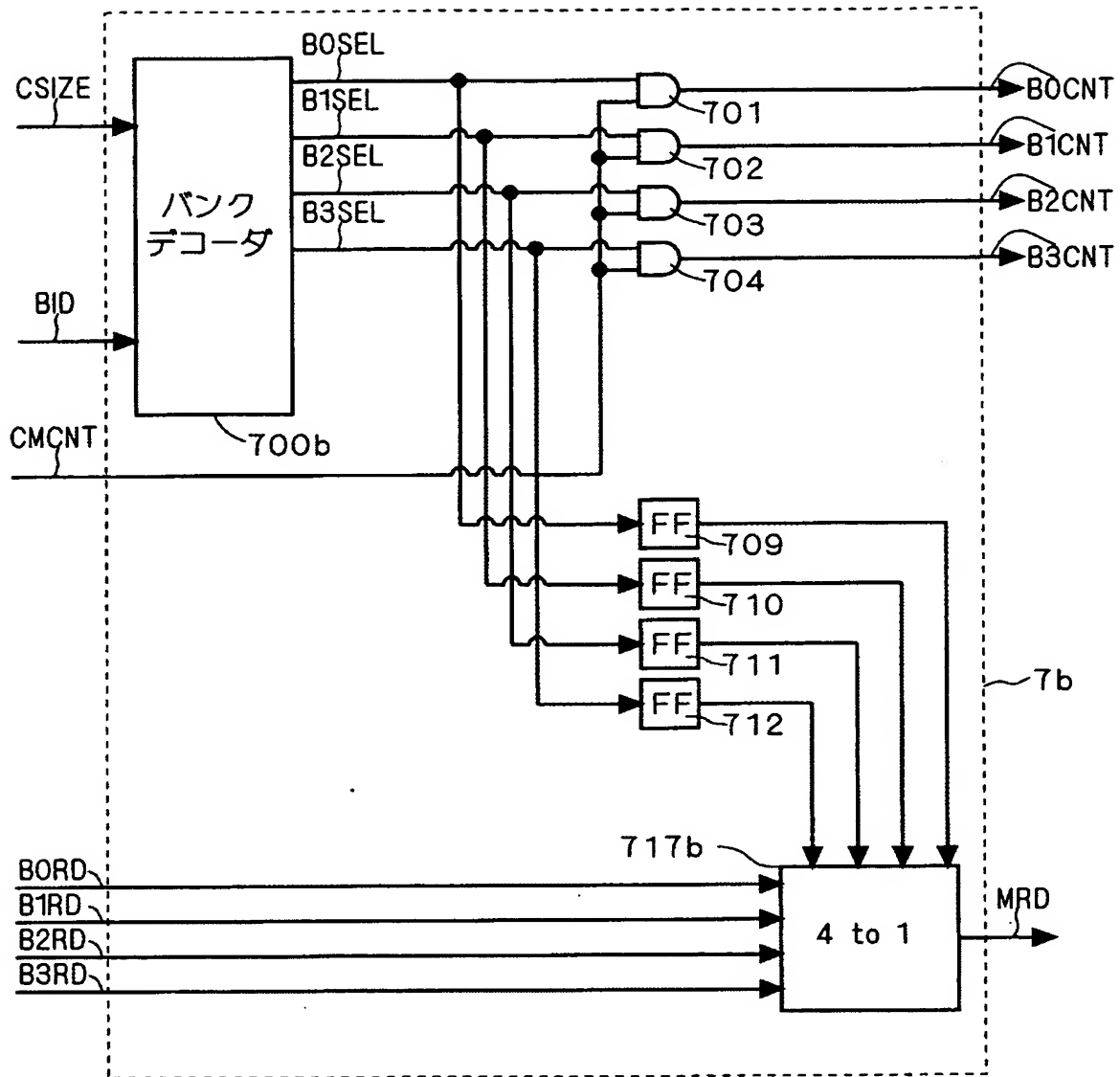
【図 25】



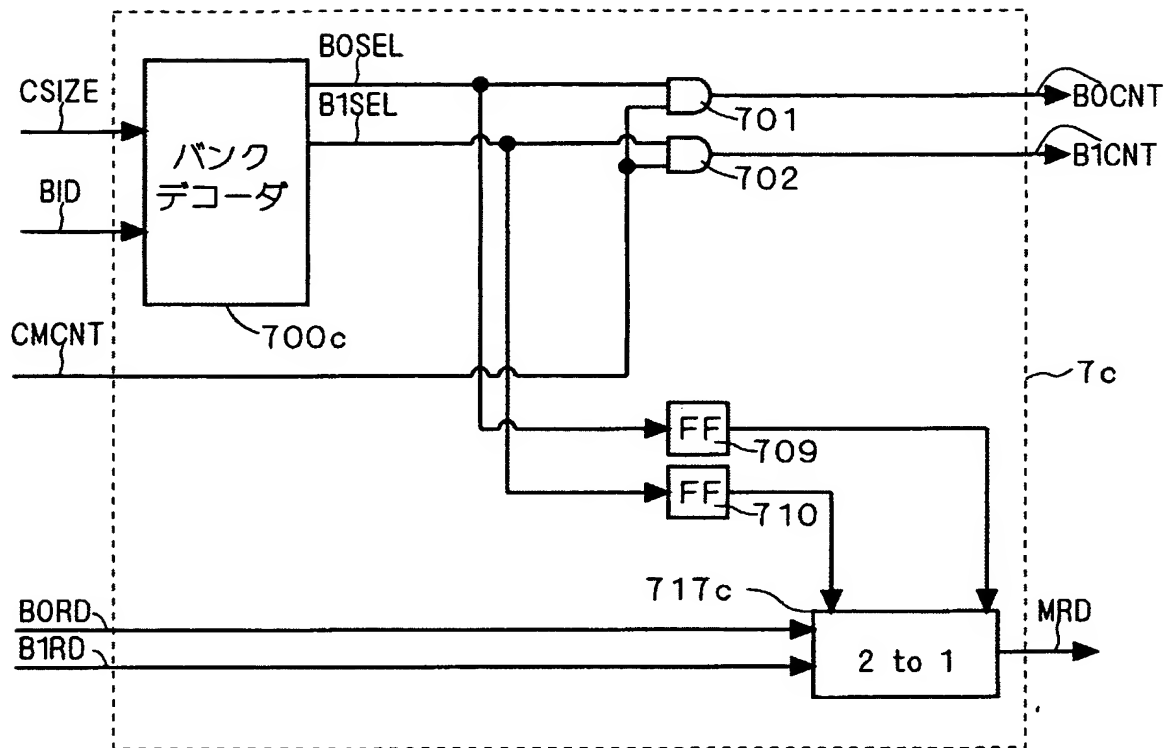
【図 26】



【図 2 7】



【図 28】





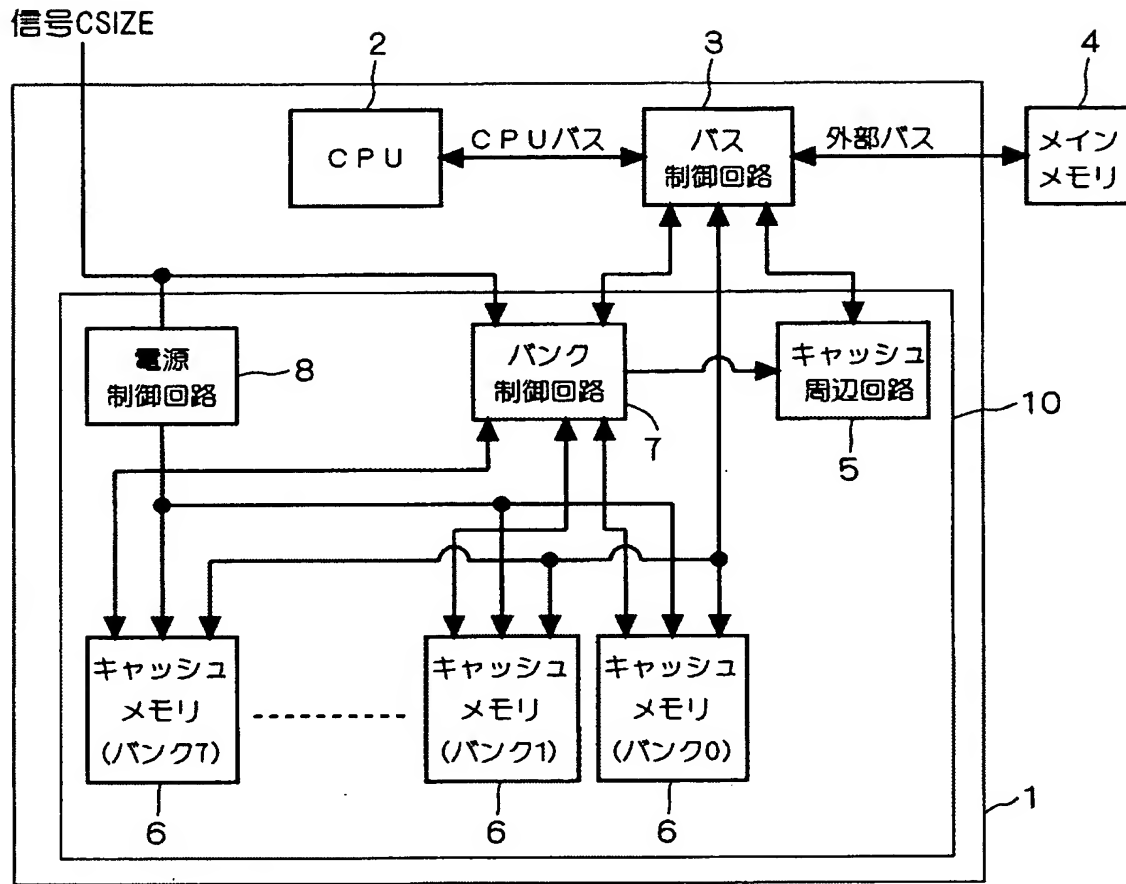
【図 2 9】

CSIZE	BID	バンク0 選択信号	バンク1 選択信号	バンク2 選択信号	バンク3 選択信号
00	000	1	0	0	0
	001	1	0	0	0
	010	1	0	0	0
	011	1	0	0	0
	100	1	0	0	0
	101	1	0	0	0
	110	1	0	0	0
	111	1	0	0	0
01	000	1	0	0	0
	001	0	1	0	0
	010	1	0	0	0
	011	0	1	0	0
	100	1	0	0	0
	101	0	1	0	0
	110	1	0	0	0
	111	0	1	0	0
10	000	1	0	0	0
	001	0	1	0	0
	010	0	0	1	0
	011	0	0	0	1
	100	1	0	0	0
	101	0	1	0	0
	110	0	0	1	0
	111	0	0	0	1

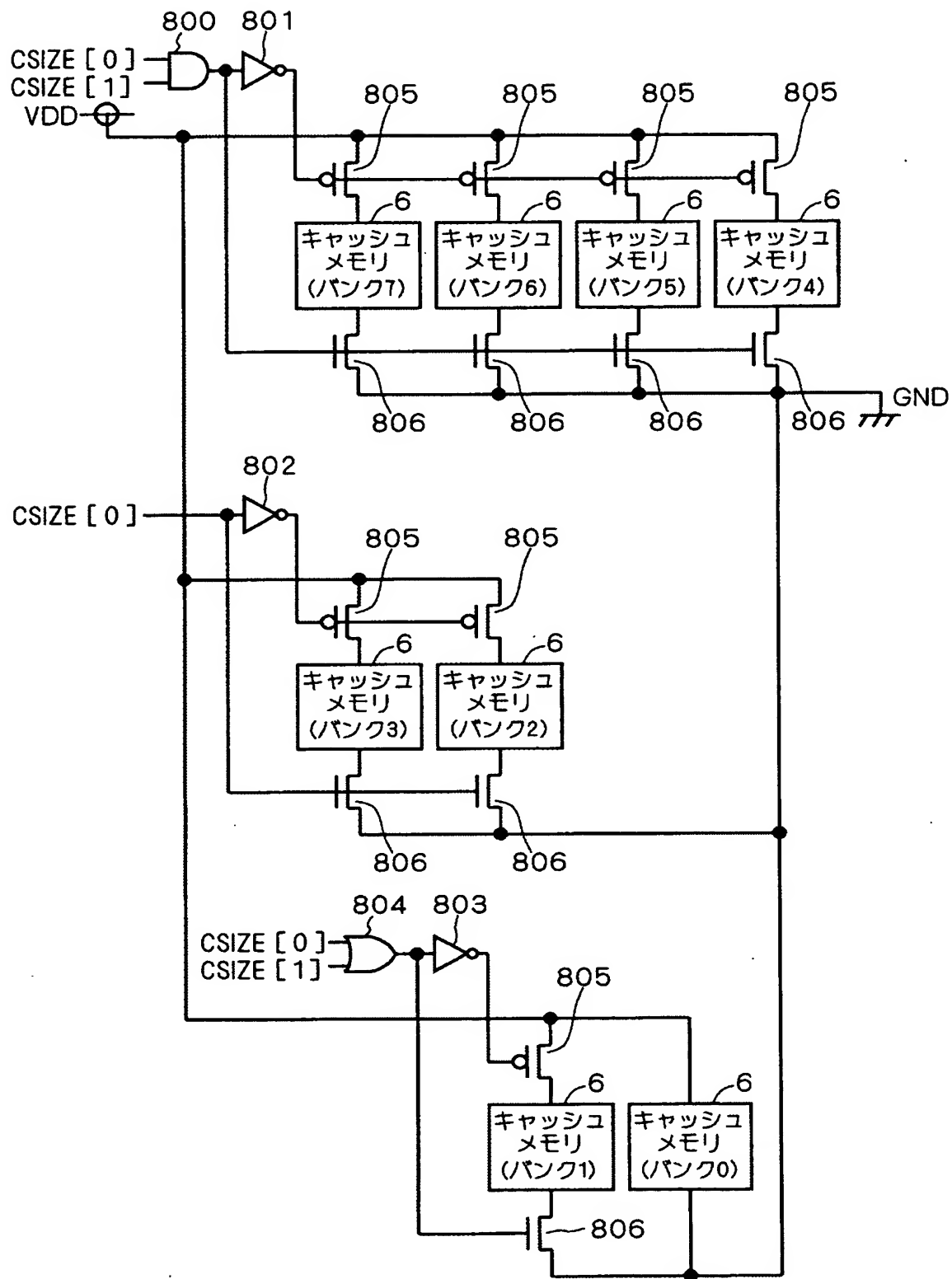
【図 3 0】

CSIZE	BID	バンク0 選択信号	バンク1 選択信号
00	000	1	0
	001	1	0
	010	1	0
	011	1	0
	100	1	0
	101	1	0
	110	1	0
	111	1	0
01	000	1	0
	001	0	1
	010	1	0
	011	0	1
	100	1	0
	101	0	1
	110	1	0
	111	0	1

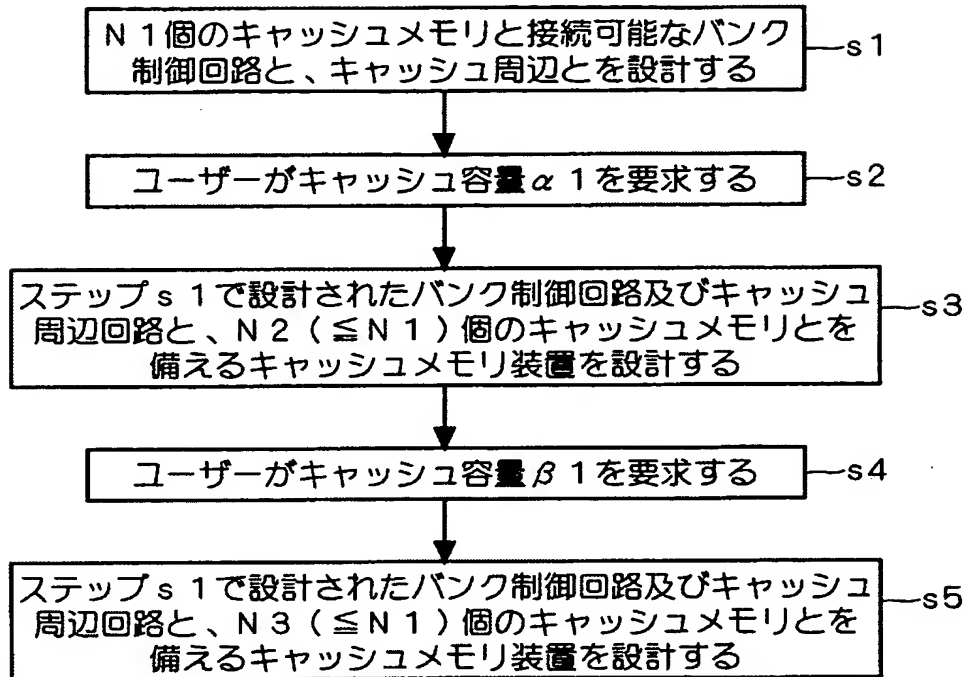
【図31】



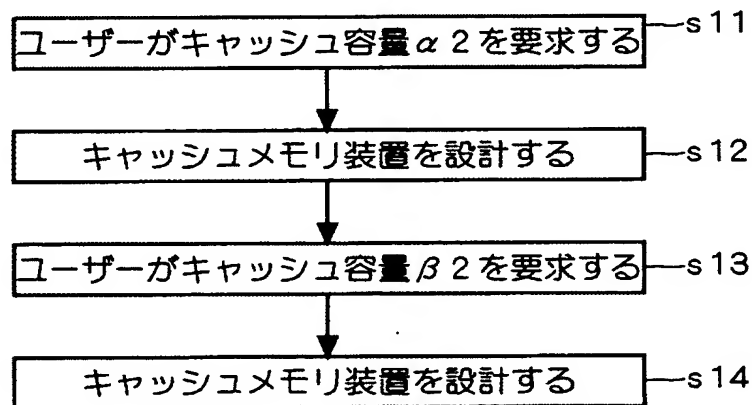
【図 3 2】



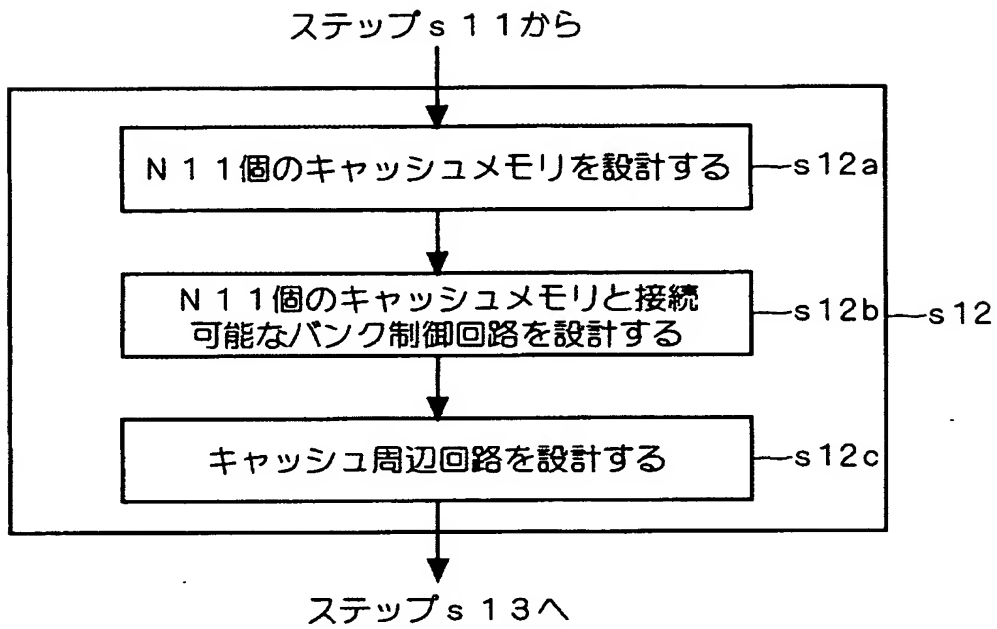
【図 3 3】



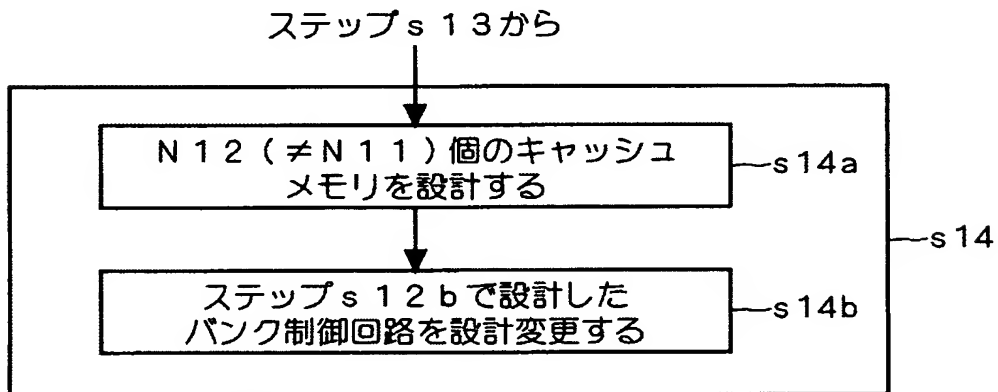
【図 3 4】



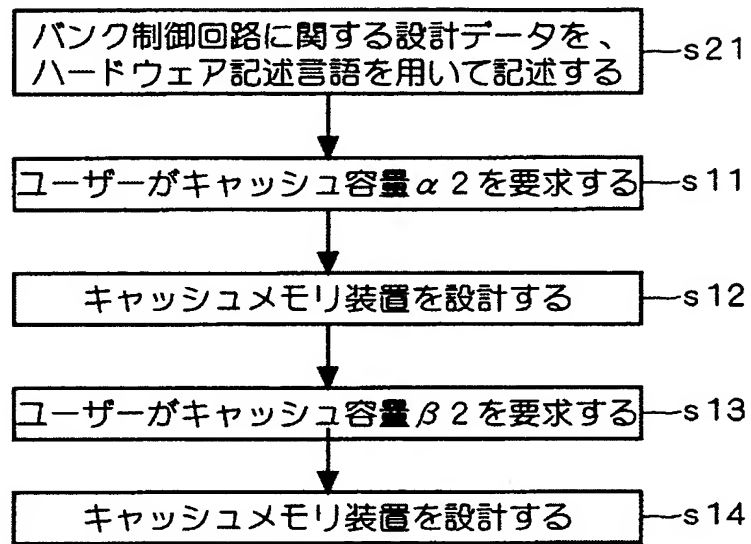
【図 3 5】



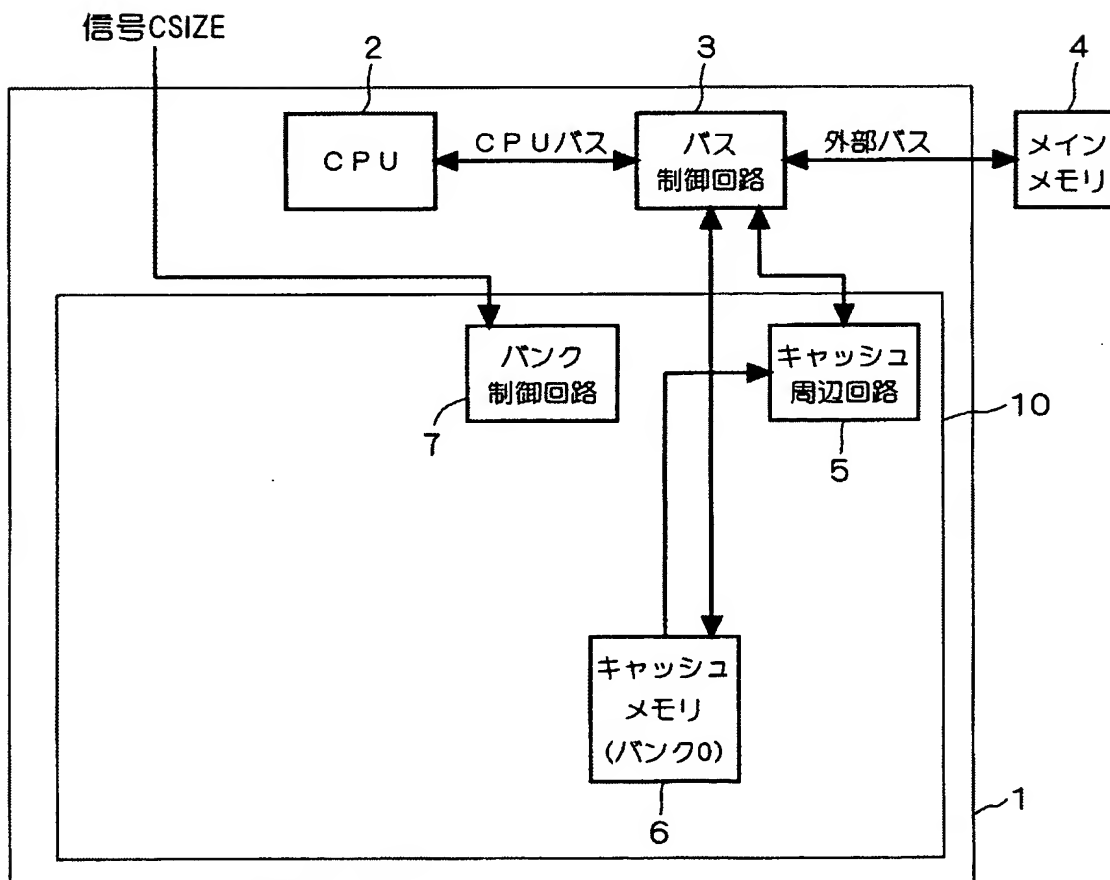
【図 3 6】



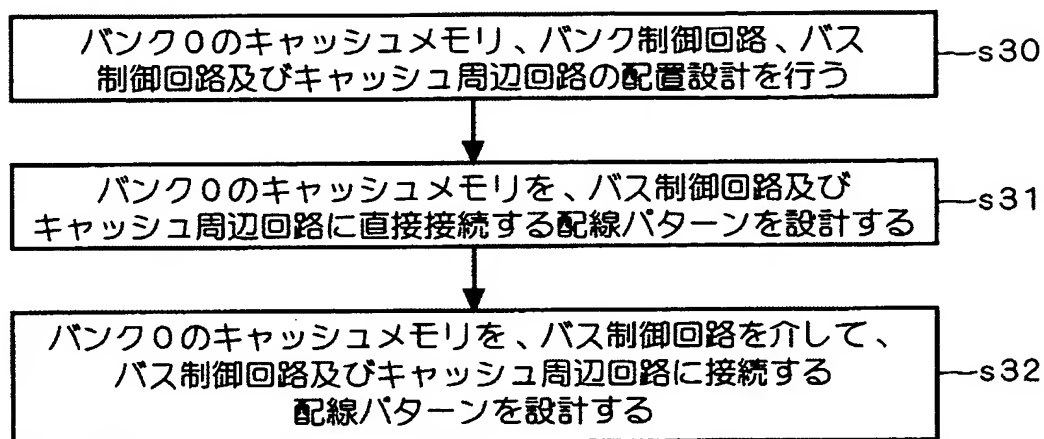
【図 3 7】



【図 3 8】



【図 39】



【書類名】 要約書

【要約】

【課題】 キャッシュ容量を変更する際に必要となる設計変更を低減することが可能な技術を提供する。

【解決手段】 バンク制御回路 7 には複数のキャッシュメモリ 6 が接続されている。バンク制御回路 7 は、キャッシュ容量を示す信号 C S I Z E に基づいて、複数のキャッシュメモリ 6 から少なくとも一つのキャッシュメモリ 6 を選択し、選択したキャッシュメモリ 6 へのバス制御回路 3 からのアクセスを許可する。従って、信号 C S I Z E の値を変更することによって、キャッシュ容量を変更できる。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社